

А.А. Никитин

**НЕЛИНЕЙНЫЕ ЭЛЕМЕНТЫ
ЭЛЕКТРОННЫХ И МИКРОПРОЦЕССОРНЫХ
УСТРОЙСТВ РЕЛЕЙНОЙ ЗАЩИТЫ
И АВТОМАТИКИ**

Учебное пособие

Чебоксары 2021

А.А. Никитин

**НЕЛИНЕЙНЫЕ ЭЛЕМЕНТЫ
ЭЛЕКТРОННЫХ И МИКРОПРОЦЕССОРНЫХ
УСТРОЙСТВ РЕЛЕЙНОЙ ЗАЩИТЫ И АВТОМАТИКИ**

УЧЕБНОЕ ПОСОБИЕ

Чебоксары
2021

Рецензенты:

кафедра "Электрические и электронные аппараты"
Чувашского государственного университета им. И.Н. Ульянова
(зав. кафедрой канд. техн. наук, доцент Е.Г. Егоров),
канд. техн. наук И.А. Галкин

Никитин А.А.

Нелинейные элементы электронных и микропроцессорных устройств релейной защиты и автоматики/А.А. Никитин. – Чебоксары, 2021. – 108 с.

Содержатся основные сведения о нелинейных элементах электронных и микропроцессорных устройств релейной защиты и автоматики: электронных ключах на основе биполярных и полевых транзисторов, интегральных логических элементах, цифровых интегральных микросхемах и функциональных элементах, выполненных на них, методах анализа и синтеза комбинационных и последовательностных структур. Приводятся примеры расчёта транзисторных ключей, синтеза логических схем, минимизации логических структур. Изложение теоретического материала сопровождается поясняющими схемами, графиками и таблицами.

Для самостоятельной работы специалистов предприятий и организаций, повышающих квалификацию в Негосударственном образовательном учреждении дополнительного профессионального образования "Научно-образовательный центр "ЭКРА" (НОУ "НОЦ "ЭКРА").

Утверждено Педагогическим советом НОУ "НОЦ "ЭКРА" в качестве неофициального учебно-методического пособия.

Ответственный редактор канд. техн. наук, доцент В.А. Костерин

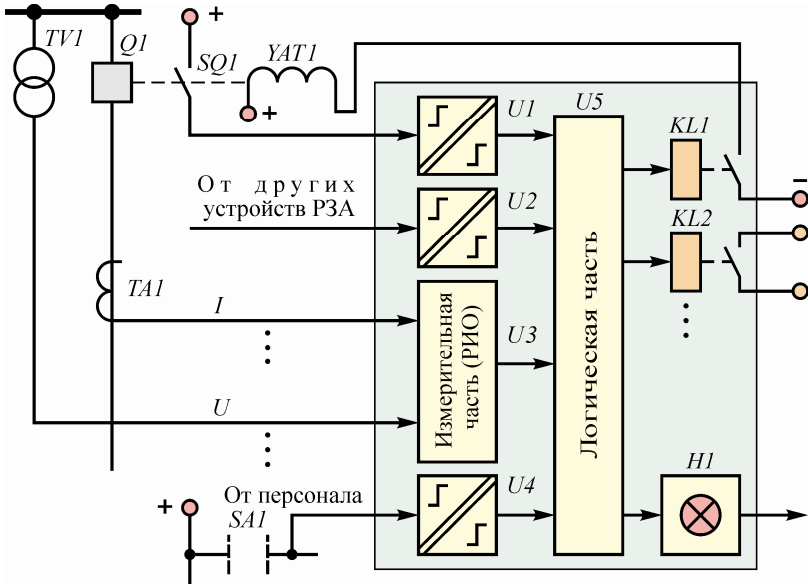
ВВЕДЕНИЕ

Принципы построения устройств релейной защиты и автоматики (РЗА), в том числе и микропроцессорных, весьма разнообразны. В подавляющем большинстве эти устройства являются автономными и выполняются с использованием электрических входных воздействующих величин – токов и напряжений промышленной частоты защищаемых элементов системы. Иногда, в качестве дополнительной информации, могут использоваться некоторые физические явления неэлектрического характера, сопровождающие короткие замыкания (КЗ) и ненормальные режимы защищаемого элемента электрической системы. В частности, может использоваться световая вспышка (при дуговых КЗ), изменение скорости выделения газов (газовые реле), повышение температуры элементов защищаемого объекта, вибрация электрической машины и т.д.

В общем случае устройства релейной защиты имеют две основные части – измерительную и логическую (рис. В.1). Измерительная часть ($U3$), включающая релейный измерительный орган (РИО), непрерывно контролирует состояние защищаемого объекта и определяет условия срабатывания в соответствии со значениями входных величин. Таковыми являются вторичные токи измерительных трансформаторов тока (TAI, \dots) и вторичные напряжения трансформаторов напряжения (TVI, \dots). Логическая часть ($U5$) формирует управляющие воздействия в зависимости от комбинации и последовательности поступления на неё сигналов от РИО. Логическая часть действует на выключатель не непосредственно, а через исполнительные органы (как правило, это электромеханические реле KLI, \dots).

Для защит с абсолютной селективностью измерительная и логическая части могут получать также информацию с другой стороны защищаемого элемента (другой электроустановки) по специальным каналам связи.

Сигнальные органы (HI) информируют о срабатывании комплекта защиты в целом, иногда и отдельных её частей. Для питания измерительных, исполнительных и сигнальных органов, логической части предусматривается источник питания.



TV1 – измерительный трансформатор напряжения; *TA1* – измерительный трансформатор тока; *Q1* – выключатель; *SQ1* – контакт выключателя; *YAT1* – катушка отключения выключателя; *SA1* – ключ управления

Рис. В.1. Обобщённая структура устройства релейной защиты

На вход устройства релейной защиты непрерывно подаются аналоговые величины, пропорциональные значениям напряжений и токов защищаемого объекта. Определённый выходной сигнал (например, сигнал "Отключить") должен быть автоматически получен лишь в том случае, если входные величины удовлетворяют некоторым условиям. Наличие этих условий фиксируется РИО, который подаёт сигнал одного вида, если определённое условие удовлетворяется, и иной сигнал, если оно не удовлетворяется. Таким образом, измерительный орган преобразовывает аналоговый сигнал на входе, например, напряжение, в дискретный сигнал на выходе.

Выходные дискретные сигналы РИО обрабатываются в логической части. Здесь же обрабатываются дискретные сигналы, поступающие от реле выключателя и других устройств РЗА че-

рез входные преобразователи ($U1$, $U2$). Сигнал управления от персонала в виде дискретного поступает в логическую часть также через входной преобразователь ($U4$). Выходной сигнал логической части является, по сути, выходным дискретным сигналом всего устройства, т.е. логическая часть преобразует дискретные входные сигналы в дискретные выходные.

Микропроцессорные устройства РЗА имеют много особенностей по сравнению с электронными в части, касающейся предварительной обработки входных токов и напряжений, цифровой фильтрации дискретизированных аналоговых сигналов, цифровых измерительных органов. Указанные особенности не рассматриваются в данном учебном пособии.

В учебном пособии рассмотрены некоторые вопросы, возникающие и решаемые при разработке логической части электронных и микропроцессорных устройств РЗА. Синтез логической части электронного устройства, реализуемый на логических элементах, осуществим посредством применения законов булевой алгебры с дальнейшим выбором конкретной серии интегральных микросхем (ИМС) для разработки электрической принципиальной схемы. Структура логической части микропроцессорного устройства РЗА также синтезируется по законам булевой алгебры, но этапа разработки принципиальной схемы не требуется, поскольку её реализация осуществляется программными методами. В то же время разработка принципиальной схемы отдельных логических блоков микропроцессорного терминала, на основе которого могут быть реализованы различные устройства РЗА, осуществляется таким же образом, что и разработка логической части электронного устройства.

Следует отметить, что достижения современной микроэлектронной техники дают возможность существенного расширения функциональных возможностей микропроцессорных устройств РЗА, позволяя обеспечить их эффективный контроль и диагностику, а также управление с различных иерархических уровней системы, в которой эти устройства используются.

1. ТРАНЗИСТОРНЫЕ КЛЮЧИ

1.1. ЭЛЕКТРОННЫЕ КЛЮЧИ НА БИПОЛЯРНЫХ ТРАНЗИСТОРАХ

1.1.1. Ключ на основе схемы с общим эмиттером

Схема электронного ключа, в котором используется включение транзистора по схеме с общим эмиттером (ОЭ), приведена на рис. 1.1, *а*. Здесь входной управляющий сигнал $u_{вх}$, задающий базовый ток $n-p-n$ -транзистора, выполняет функцию управляющего воздействия, а транзистор T играет роль ключевого элемента. При отрицательной полярности напряжения $u_{вх}$ транзистор закрыт, в его выходной цепи течёт только обратный ток коллектора $I_{к0}$. При положительной полярности входного напряжения в базовой цепи транзистора создаётся ток, достаточный для его насыщения. По выходным вольтамперным характеристикам (ВАХ) транзистора с помощью построений, показанных на рис. 1.1, *б*, можно определить положение точек 1 и 2. Точка 1 соответствует выключенному состоянию, точка 2 – включённому состоянию ключа, т.е. насыщенному транзистору. Значения коллекторного тока i_k , соответствующие ординатам других точек пересечения нагрузочной прямой с характеристиками семейства ВАХ, могут быть только "мгновенными" во время перехода от включённого к выключенному состоянию.

Как видно из рис. 1.1, напряжение U_1 близко к напряжению питания $U_{п}$. Напряжение U_2 равно напряжению на коллекторе насыщенного транзистора: $U_2 = U_{кэс}$. Поскольку значение $U_{кэс}$ мало, амплитуда изменения напряжения на нагрузке при переключении из состояния отсечки в насыщенное близка к $U_{п}$.

Рассматриваемый ключ на биполярном транзисторе должен управляться двухполярным входным напряжением $u_{вх}$. Будем считать, что это напряжение имеет прямоугольную форму, причём длительность как положительной, так и отрицательной полуволны напряжения достаточно велика и переходные процессы в схеме составляют незначительную часть полупериода.

Запирание и насыщение транзистора обеспечивается только при определённых соотношениях между параметрами входящих в схему элементов. Выявление условий обеспечения статических

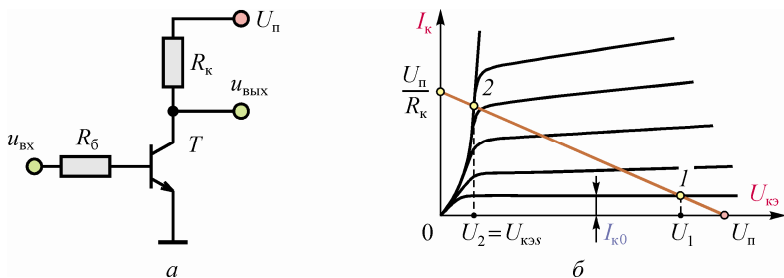


Рис. 1.1. Электронный ключ на биполярном $n-p-n$ -транзисторе:
 а – схема; б – вольт–амперные характеристики

состояний ключа является основной задачей анализа ключевого транзисторного каскада [1].

Схема каскада при действии отрицательной полуволны входного сигнала показана на рис. 1.2, а. Если транзистор заперт, то его входной ток $I_{к0} + I_{э0}$ и выходной $I_{к0}$ малы. Ток $I_{к0}$ протекает от положительного полюса источника питания $U_п$ через сопротивление $R_к$, коллекторный переход транзистора и сопротивление $R_б$ к отрицательному полюсу источника напряжения $u_{вх}$, а ток $I_{э0}$ – от нуля схемы через эмиттерный переход транзистора и сопротивление $R_б$ к источнику напряжения $u_{вх}$.

Условие запираания $n-p-n$ -транзистора в схеме ОЭ – $U_{эб} \leq 0$ или $U_{эб} \geq 0$ (напряжение на эмиттерном переходе кремниевого транзистора 0,6...0,8 В). Для получения минимально возможного выходного тока требуется создать отрицательное напряжение на базе транзистора. Уравнение для базовой цепи имеет вид

$$U_{вхm}^- = U_{эб} + (I_{к0} + I_{э0})R_б, \quad (1.1)$$

где $U_{вхm}^-$ – амплитуда отрицательной полуволны напряжения $u_{вх}$.
 Из уравнения (1.1) следует, что

$$U_{эб} = U_{вхm}^- - (I_{к0} + I_{э0})R_б. \quad (1.2)$$

Условие $U_{эб} \geq 0$ преобразовывает уравнение (1.2):

$$R_б \leq \frac{U_{вхm}^-}{I_{к0} + I_{э0}}. \quad (1.3)$$

Неравенство (1.3) должно выполняться во всем диапазоне рабочих температур ключевого каскада, включая и максимальную температуру Θ_{\max} окружающей среды, при которой токи $I_{\kappa 0}$ и $I_{\varepsilon 0}$ максимальны и равны $I_{\kappa 0 \max}$ и $I_{\varepsilon 0 \max}$. Подставив в неравенство (1.3) значения токов $I_{\kappa 0 \max}$ и $I_{\varepsilon 0 \max}$, получим

$$R_{\varepsilon} \leq \frac{U_{\text{вх}m}^-}{I_{\kappa 0 \max} + I_{\varepsilon 0 \max}}. \quad (1.4)$$

При выполнении условия (1.4) токи транзистора и напряжения на его выводах можно найти из следующих соотношений:

$$U_{\varepsilon \varepsilon} = U_{\text{вх}m}^- - (I_{\kappa 0} + I_{\varepsilon 0}) R_{\varepsilon}; \quad I_{\varepsilon} = -I_{\kappa 0} - I_{\varepsilon 0};$$

$$U_{\kappa \varepsilon} = U_{\Pi} - I_{\kappa 0} R_{\kappa} \approx U_{\Pi}; \quad I_{\kappa} = I_{\kappa 0}.$$

Ток нагрузки также равен $I_{\kappa 0}$; напряжение на коллекторной нагрузке R_{κ} определяется равенством $U_{\Pi} = I_{\kappa 0} R_{\kappa}$. Так как токи $I_{\kappa 0}$ и $I_{\varepsilon 0}$ малы, особенно для кремниевых транзисторов, ими иногда пренебрегают. При $I_{\kappa 0} \rightarrow 0$, $I_{\varepsilon 0} \rightarrow 0$ можно считать, что

$$U_{\varepsilon \varepsilon} = U_{\text{вх}m}^-; \quad U_{\kappa \varepsilon} = U_{\Pi}; \quad U_{\Pi} = 0; \quad I_{\Pi} = 0.$$

Эквивалентная схема каскада при действии положительной полуволны $u_{\text{вх}}$ с амплитудой $U_{\text{вх}m}^+$ дана на рис. 1.2, б.

Для входной и выходной цепей по закону Ома токи базы и коллектора насыщенного транзистора

$$I_{\varepsilon s} = \frac{U_{\text{вх}m}^+ - U_{\varepsilon \varepsilon s}}{R_{\varepsilon}}; \quad I_{\kappa s} = \frac{U_{\Pi} - U_{\kappa \varepsilon s}}{R_{\kappa}}.$$

Условие насыщения транзистора в схеме ОЭ — $I_{\kappa} \leq \beta I_{\varepsilon}$, где β — статический коэффициент передачи транзистора по току. Подставив в это условие значения $I_{\varepsilon s}$ и $I_{\kappa s}$, получим

$$R_{\varepsilon} \leq \beta \frac{U_{\text{вх}m}^+ - U_{\varepsilon \varepsilon s}}{U_{\Pi} - U_{\kappa \varepsilon s}} R_{\kappa}. \quad (1.5)$$

Условие насыщения должно выполняться для всех значений коэффициента β транзистора выбранного типа, включая и минимально возможное (β_{\min}), при котором выполнение неравенства (1.5) наиболее затруднено.

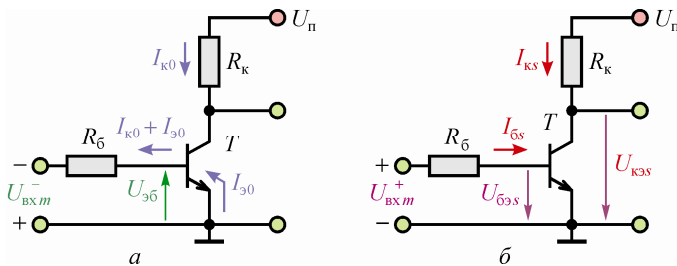


Рис. 1.2. Расчётные схемы электронного ключа:
 а – закрытое состояние транзистора;
 б – насыщенное состояние транзистора

Подставив в неравенство (1.5) значение β_{\min} , найдем соотношение для расчёта базового сопротивления:

$$R_{\text{б}} \leq \beta_{\min} \frac{U_{\text{вхm}}^+ - U_{\text{бэс}}}{U_{\text{п}} - U_{\text{кэс}}} R_{\text{к}} \approx \beta_{\min} \frac{U_{\text{вхm}}^+}{U_{\text{п}}} R_{\text{к}}. \quad (1.6)$$

Транзистор будет насыщен, если условие (1.6) выполнено. Однако этот случай соответствует границе режима насыщения. Незначительные изменения параметров схемы, например увеличение $R_{\text{б}}$ или уменьшение $R_{\text{к}}$, могут привести к выходу транзистора из режима насыщения, поэтому граничное значение $R_{\text{б}}$ обычно не используется, а берётся несколько меньшее значение, тем самым создаётся некоторый запас по *степени насыщения* транзистора. Степень насыщения биполярного транзистора оценивается *коэффициентом насыщения* S .

Смысл коэффициента S состоит в том, что если $I_{\text{кэс}}$ – значение коллекторного тока насыщенного транзистора, то из условия насыщения $I_{\text{к}} \leq \beta I_{\text{б}}$ получаем, что для насыщения транзистора при заданном токе $I_{\text{кэс}}$ достаточно создать ток базы $I_{\text{б}} = I_{\text{бэс}}$. Этот ток называют базовым током насыщения. Естественно, что транзистор будет насыщен и при $I_{\text{б}} \geq I_{\text{бэс}}$. Отношение $I_{\text{б}}/I_{\text{бэс}} = S$ и называют степенью насыщения транзистора или коэффициентом насыщения. На границе режима насыщения ($I_{\text{б}} = I_{\text{бэс}}$) $S = 1$, в области насыщения $S > 1$. Обычно используются значения в диапазоне $S = 1,5 \dots 3$; при больших значениях оба состояния ключа также обеспечиваются, но снижается быстродействие каскада.

Используя коэффициент S , соотношение (1.6) для выбора R_6 можно записать в виде

$$R_6 = \beta_{\min} \frac{U_{\text{вх}m}^+}{U_{\text{п}} \cdot S} R_{\text{к}}. \quad (1.7)$$

Считая, что условие (1.6) обеспечено, можно записать значения напряжений и токов на элементах ключевого каскада:

$$I_6 = I_{6s} = \frac{U_{\text{вх}m}^+ - U_{6\text{э}s}}{R_6} \approx \frac{U_{\text{вх}m}^+}{R_6}; \quad U_{6\text{э}} = U_{6\text{э}s} \approx 0;$$

$$I_{\text{к}} = I_{\text{к}s} = \frac{U_{\text{п}} - U_{\text{кэ}s}}{R_{\text{к}}} \approx \frac{U_{\text{п}}}{R_{\text{к}}}; \quad U_{\text{кэ}} = U_{\text{кэ}s} \approx 0; \quad U_{\text{н}} \approx U_{\text{п}}.$$

Амплитуда изменения напряжения на нагрузке равна разности уровней выходного напряжения для запертого и насыщенного режимов работы транзистора:

$$U_{\text{нм}} = U_{\text{п}} - U_{\text{кэ}s} - I_{\text{к}0} R_{\text{к}}.$$

Так как значения $U_{\text{кэ}s}$ и $I_{\text{к}0} R_{\text{к}}$ малы, то $U_{\text{нм}} \approx U_{\text{п}}$. Соответственно амплитуда изменения тока в нагрузке при переключении транзистора

$$I_{\text{нм}} = \frac{U_{\text{п}} - U_{\text{кэ}s}}{R_{\text{к}}} - I_{\text{к}0} \approx \frac{U_{\text{п}}}{R_{\text{к}}}.$$

Важным параметром электронного ключа является *коэффициент использования питающего напряжения* $k_{U_{\text{п}}}$, определяемый отношением *размаха выходного напряжения* $U_{\text{вых}m}$ к питающему. Если выходным сигналом ключа считать напряжение $u_{\text{кэ}} = U_{\text{п}} - i_{\text{к}} R_{\text{к}}$, то $U_{\text{вых}m} \approx U_{\text{нм}} \approx U_{\text{п}}$, что позволяет сделать вывод: в ключе на биполярном транзисторе $k_{U_{\text{п}}} = U_{\text{вых}m} / U_{\text{п}} \approx 1$.

Пример 1.1. Рассчитать параметры ключа на биполярном транзисторе, который используется в качестве выходного каскада электронного устройства РЗА и должен коммутировать реле finder 41.31 [2]. Ключ управляется операционным усилителем (ОУ), который питается двухполярным напряжением со средней точкой (нулём): $U_{\text{п}}^+ = +12 \text{ В}$, $U_{\text{п}}^- = -12 \text{ В}$. Выходное напряжение ОУ изменяется в пределах от $U_{\text{вых} \min} = -11 \text{ В}$ до $U_{\text{вых} \max} = +11 \text{ В}$.

В схеме ключа следует предусмотреть элементы защиты транзистора от возможных перенапряжений.

1. С учётом требований, предъявляемых к ключевому каскаду, примем схему, показанную на рис. 1.3.

Диод $VD1$ защищает эмиттерный переход транзистора $VT1$ от перенапряжений при $U_{\text{вых}} = U_{\text{вых min}}$. В этом режиме потенциал базы закрытого транзистора равен напряжению на открытом диоде ($U_{\text{д}} \approx 0,6 \text{ В}$). Диод $VD2$ защищает коллекторный переход от перенапряжений, вызванных коммутацией индуктивной нагрузки, каковой является обмотка реле KLI .

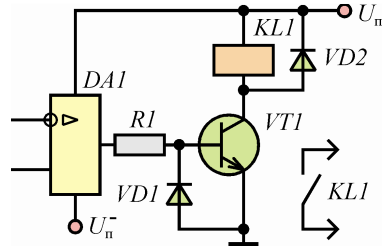


Рис. 1.3. Выходной каскад на $n-p-n$ -транзисторе

Реле finder 41.31 с номинальным напряжением питания 12 В потребляет мощность 0,4 Вт [2]. Номинальный потребляемый реле ток – 33,3 мА (сопротивление обмотки $R_{\text{обм}} = 360 \text{ Ом}$). Такой ток должен обеспечиваться в коллекторной цепи транзистора при его насыщении.

2. Для реализации ключевого каскада выбираем транзистор КТ3102Б, имеющий следующие параметры [3]: $I_{\text{к0}} \leq 0,05 \text{ мкА}$; $I_{\text{э0}} \leq 10 \text{ мкА}$; $I_{\text{к max}} = 200 \text{ мА}$; $U_{\text{кэс}} \leq 0,8 \text{ В}$; $U_{\text{бэс}} \leq 1,2 \text{ В}$; $\beta = 200 \dots 500$; $U_{\text{кб max}} = 50 \text{ В}$; $U_{\text{кэ max}} (R_{\text{б}} \leq 10 \text{ кОм}) = 50 \text{ В}$.

Сопротивление резистора $R1$ согласно условию (1.4)

$$R_1 \leq \frac{U_{\text{вых min}}}{I_{\text{к0 max}} + I_{\text{э0 max}}} = \frac{11}{(0,05 + 10) \cdot 10^{-6}} \approx 1,09 \text{ МОм.}$$

3. Пусть $S = 2$, тогда для обеспечения режима насыщения транзистора по условию (1.7)

$$R_1 = \beta_{\text{min}} \frac{U_{\text{вх m}}^+ R_{\text{к}}}{U_{\text{н}} S} = \beta_{\text{min}} \frac{U_{\text{вых max}} R_{\text{обм}}}{U_{\text{н}} S} = 200 \frac{11 \cdot 360}{12 \cdot 2} = 33 \text{ кОм.}$$

Принимаем в качестве $R1$ резистор С2-33Н-27 кОм $\pm 5\%$ [4].

1.1.2. Транзисторный ключ с источником смещения

Рассмотренная схема обычного транзисторного ключа имеет целый ряд недостатков. К ним можно отнести [1]:

а) использование двухполярного сигнала для управления, что затрудняет сопряжение однотипных ключей, так как их выходной сигнал имеет одну полярность;

б) низкое быстродействие, вызванное значительным временем рассасывания неосновных носителей заряда;

г) зависимость длительности фронта и длительности среза выходных импульсов от степени насыщения транзистора, т.е. при прочих равных условиях от коэффициента усиления транзистора по току β . Так как значение коэффициента β у транзисторов одного типа имеет существенный разброс, то время включения $t_{\text{вкл}}$ и время выключения $t_{\text{выкл}}$ транзистора будут изменяться.

Для устранения этих недостатков применяют усовершенствованные схемы ключевых каскадов. Одной из них является ключевой каскад с внешним источником смещения (рис. 1.5).

Входной сигнал, управляющий работой ключа, может быть однополярным. При нулевом или небольшом положительном значении входного сигнала $u_{\text{вх}}$ транзистор ключевого каскада должен быть заперт, при появлении достаточно большого положительного напряжения – насыщен.

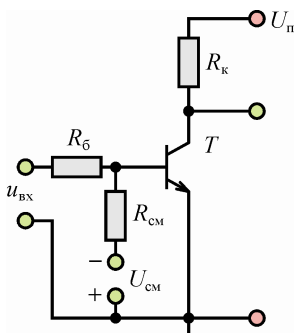


Рис. 1.5. Электронный ключ с источником смещения

Пусть входной сигнал имеет форму прямоугольных импульсов с нулевым начальным уровнем, положительную полярность и амплитуду $U_{\text{вх}m}^+$.

Рассмотрим статические состояния ключевого каскада для определения условий отсечки и насыщения транзистора.

Когда напряжение на входе равно нулю и вход в силу малости выходного сопротивления источника импульсов $u_{\text{вх}}$ можно считать короткозамкнутым, транзистор T должен быть заперт. Базовая цепь тран-

зистора для этого случая показана на рис. 1.6, а. Для определения напряжения на базе запертого транзистора используем теорему об эквивалентном генераторе. Для этого источник напряжения $U_{\text{см}}$, делитель $R_{\text{см}}$, $R_{\text{б}}$ заменим по отношению к эмиттерному переходу транзистора эквивалентными ЭДС и сопротивлением:

$$E_{\text{экв}} = U_{\text{см}} \frac{R_{\text{б}}}{R_{\text{б}} + R_{\text{см}}}; R_{\text{экв}} = \frac{R_{\text{б}} R_{\text{см}}}{R_{\text{б}} + R_{\text{см}}}.$$

Полученная в результате такого преобразования схема базовой цепи транзистора дана на рис. 1.6, б. Уравнение для этой цепи в соответствии с законом Кирхгофа, запишется в виде

$$E_{\text{экв}} = (I_{\text{к0}} + I_{\text{э0}}) R_{\text{экв}} + U_{\text{эб}}.$$

Условие запирания транзистора в схеме ОЭ – $U_{\text{эб}} \geq 0$, следовательно,

$$E_{\text{экв}} - (I_{\text{к0}} + I_{\text{э0}}) R_{\text{экв}} \geq 0.$$

Подставив значения $E_{\text{экв}}$ и $R_{\text{экв}}$, полученное неравенство перепишем в виде

$$U_{\text{см}} \frac{R_{\text{б}}}{R_{\text{б}} + R_{\text{см}}} - (I_{\text{к0}} + I_{\text{э0}}) \frac{R_{\text{б}} R_{\text{см}}}{R_{\text{б}} + R_{\text{см}}} \geq 0.$$

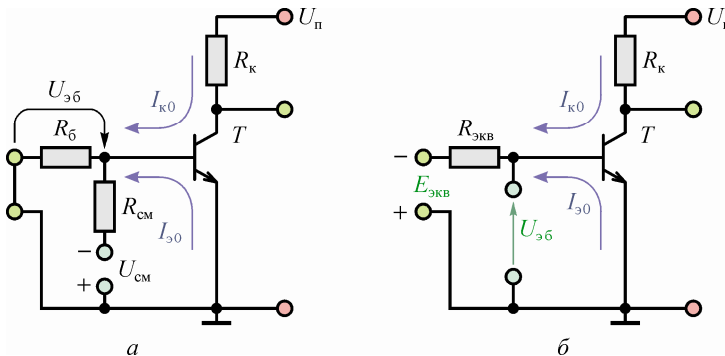


Рис. 1.6. Схемы замещения ключевого каскада в режиме отсечки:
 а – токи и напряжения базовой и коллекторной цепей транзистора;
 б – ток и напряжения эквивалентной базовой цепи

И этого неравенства получаем

$$R_{\text{см}} \leq \frac{U_{\text{см}}}{I_{\text{к0}} + I_{\text{э0}}}.$$

Это условие должно выполняться при всех значениях обратных токов транзистора, включая $I_{\text{к0max}}$ и $I_{\text{э0max}}$, что соответствует максимальной рабочей температуре. Тогда

$$R_{\text{см}} \leq \frac{U_{\text{см}}}{I_{\text{к0max}} + I_{\text{э0max}}}. \quad (1.8)$$

Неравенство (1.8) является условием надёжного запираания транзистора в ключевом каскаде с внешним источником смещения. Если указанное условие выполнено, то каскад характеризуется следующими параметрами:

$$U_{\text{бэ}} = \frac{[U_{\text{см}} - (I_{\text{к0}} + I_{\text{э0}})] R_{\text{см}} R_{\text{б}}}{R_{\text{б}} + R_{\text{см}}} \approx U_{\text{см}} \frac{R_{\text{б}}}{R_{\text{б}} + R_{\text{см}}}; \quad U_{\text{кэ}} = U_{\text{п}} - I_{\text{к0}} R_{\text{к}};$$

$$I_{\text{б}} = -I_{\text{к0}} - I_{\text{э0}}; \quad I_{\text{к}} = I_{\text{к0}},$$

т.е. ток и напряжение в цепи нагрузки определяются теми же соотношениями, что и в обычном транзисторном ключе.

Значение сопротивления $R_{\text{б}}$, связывающего базу транзистора с источником входного напряжения, не входит в условие (1.8). Вызвано это тем, что при уменьшении значения $R_{\text{б}}$ напряжение эквивалентного источника $E_{\text{экв}}$ уменьшается, однако уменьшается и значение $R_{\text{экв}}$, на котором ток $I_{\text{к0}}$ создаёт падение напряжения, снижающее запирающее напряжение на базе транзистора. По этой причине условие запираания можно выполнить в широком диапазоне значений $R_{\text{б}}$. Однако значение $R_{\text{б}}$ строго регламентируется условием обеспечения второго статического состояния транзистора – насыщенного.

Транзистор должен быть насыщен при действии на входе напряжения положительной полярности. Заменяя входную (базовую) и выходную (коллекторную) цепи насыщенного транзистора схемами замещения, ключевой каскад можно привести к виду, показанному на рис. 1.7.

Базовый ток насыщенного транзистора равен сумме токов $I_{\text{вх}}$, создаваемого напряжением $U_{\text{вхт}}$, и $I_{\text{см}}$, задаваемого источни-

ком смещения $U_{\text{см}}$. Ток $I_{\text{вх}}$ является втекающим в базу, а ток $I_{\text{см}}$ – вытекающим, поэтому $I_{\text{б}} = I_{\text{бс}} = I_{\text{вх}} - I_{\text{см}}$. По закону Ома

$$I_{\text{вх}} = \frac{U_{\text{вхм}} - U_{\text{бэс}}}{R_{\text{б}}}; \quad I_{\text{см}} = \frac{U_{\text{см}} + U_{\text{бэс}}}{R_{\text{см}}},$$

следовательно,

$$I_{\text{бс}} = \frac{U_{\text{вхм}} - U_{\text{бэс}}}{R_{\text{б}}} - \frac{U_{\text{см}} + U_{\text{бэс}}}{R_{\text{см}}}.$$

Коллекторный ток насыщенного транзистора ограничен значением $I_{\text{кс}} = (U_{\text{п}} - U_{\text{кэс}}) / R_{\text{к}}$. Условие насыщения транзистора в схеме ОЭ – $I_{\text{к}} \leq \beta I_{\text{б}}$. Подставив значения $I_{\text{бс}}$ и $I_{\text{кс}}$, получим

$$\frac{U_{\text{п}} - U_{\text{кэс}}}{R_{\text{к}}} \leq \beta \left(\frac{U_{\text{вхм}} - U_{\text{бэс}}}{R_{\text{б}}} - \frac{U_{\text{см}} + U_{\text{бэс}}}{R_{\text{см}}} \right).$$

Отсюда следует

$$R_{\text{б}} \leq \frac{U_{\text{вхм}} - U_{\text{бэс}}}{\frac{U_{\text{п}} - U_{\text{кэс}}}{\beta R_{\text{к}}} + \frac{U_{\text{см}} + U_{\text{бэс}}}{R_{\text{см}}}}. \quad (1.9)$$

Условие насыщения должно выполняться для всех значений коэффициента β транзистора, включая и $\beta_{\text{мин}}$, при котором выполнение неравенства (1.9) даёт большее значение $R_{\text{б}}$.

Пример 1.2. Рассчитать параметры электронного ключа, используемого в логической части электронного устройства качестве выходного каскада, в котором применяется электромагнитное реле finder 41.31 [2].

Ключ управляется цифровой микросхемой *DD1*, питающейся напряжением $U_{\text{п}}^+ = +12$ В (рис.1.8). Выходное напряжение микросхемы изменяется в пределах от $U_{\text{выхмин}} \leq 2,9$ В до

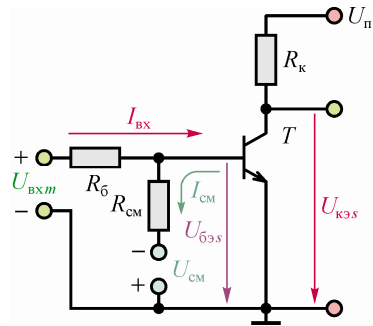


Рис.1.7. Схема замещения для режима насыщения транзистора

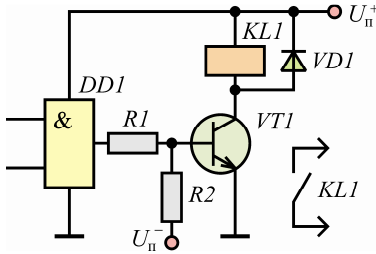


Рис. 1.8. Схема выходного каскада электронного устройства

$U_{\text{вых max}} \geq 9,2 \text{ В}$. Для надёжного запирающего транзистора используется напряжение $U_{\text{п}}^- = -12 \text{ В}$.

Диод $VD1$ защищает коллекторный переход от перенапряжений, возникающих при коммутациях реле $KL1$.

1. Реле finder 41.31 с номинальным напряжением 12 В имеет потребляемую мощность 0,4 Вт [2], т.е. потребляемый реле от источника питания ток составляет 33,3 мА (сопротивление обмотки $R_{\text{обм}} = 360 \text{ Ом}$).

2. Для реализации ключевого каскада выбираем транзистор КТ3102Б, который имеет следующие параметры [3]: $I_{\text{к0}} \leq 0,05 \text{ мА}$; $I_{\text{э0}} \leq 10 \text{ мА}$; $U_{\text{кэс}} \leq 0,8 \text{ В}$; $U_{\text{бэс}} \leq 1,2 \text{ В}$; $I_{\text{к max}} = 200 \text{ мА}$; $\beta = 200 \dots 500$; $U_{\text{кб max}} = 50 \text{ В}$; $U_{\text{кэ max}} (R_{\text{б}} \leq 10 \text{ кОм}) = 50 \text{ В}$.

Сопротивление резистора $R2$ согласно условию (1.8)

$$R_2 \leq \frac{U_{\text{п}}^-}{I_{\text{к0 max}} + I_{\text{э0 max}}} = \frac{12}{(0,05 + 10) \cdot 10^{-6}} \approx 1,19 \text{ МОм}.$$

Принимаем в качестве $R2$ резистор С2-33Н-680 кОм $\pm 10 \%$.

Для обеспечения режима насыщения транзистора по условию (1.9)

$$R_1 \leq \frac{U_{\text{вых max}} - U_{\text{бэс}}}{\frac{U_{\text{п}}^+ - U_{\text{кэс}}}{\beta R_{\text{обм}}} + \frac{U_{\text{п}}^- + U_{\text{бэс}}}{R_2}} = \frac{9,2 - 1,2}{\frac{12 - 0,8}{200 \times 360} + \frac{12 + 1,2}{680000}} \approx 6,9 \text{ кОм}.$$

Принимаем в качестве $R1$ резистор С2-33Н-6,2 кОм $\pm 10 \%$.

Схема ключевого каскада, показанная на рис. 1.8, представляется усложнённой по причине использования в нём отрицательного напряжения питания. Для питания логической части электронного устройства необходимости в таком напряжении нет, поэтому применение рассчитанного каскада требует специальной "заводки" $U_{\text{п}}^-$ в логическую часть. Но выключенного состояния транзистора можно добиться и без отрицательного источ-

ника смещения *пассивным способом* – включением сопротивления между базой и эмиттером (рис. 1.9).

В данном случае такой способ допустим, поскольку $U_{\text{вых min}}$ формируется, когда выходной транзистор микросхемы открыт, и вряд ли ток $I_{\text{к0}}$ транзистора $VT1$ в силу своей малости будет создавать на двух параллельно включённых резисторах $R1, R2$ напряжение $U_{\text{вых min}} = 2,9 \text{ В}$. Эмиттерный переход транзистора $VT1$ при этом смещён в прямом направлении, но его смещение весьма незначительно, и по обмотке реле $KL1$ будет протекать ток, который существенно меньше максимального значения начального тока коллектора $I_{\text{к0*}} = (\beta_{\text{max}} + 1)I_{\text{к0}} \approx 25 \text{ }\mu\text{А}$. Такой ток не может вызвать срабатывание реле $KL1$ (он существенно меньше его тока срабатывания).

С учётом указанного можно без ущерба для работы выходного каскада пойти на исключение резистора $R2$ из схемы.

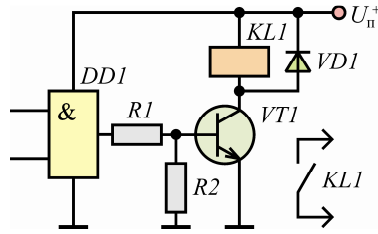


Рис. 1.9. Выходной каскад без напряжения смещения

1.2. ТРАНЗИСТОРНЫЕ КЛЮЧИ НА ПОЛЕВЫХ СТРУКТУРАХ

1.2.1. Электронные ключи на МОП-транзисторах

Ключевой каскад на МОП-транзисторе (рис. 1.10, *a*) – транзисторе структуры металл – оксид (диэлектрик) – полупроводник – работает следующим образом. При небольшом положительном напряжении $u_{\text{вх}}$, пока канал не образовался (напряжение между затвором и подложкой $U_{\text{зп}}$ меньше порогового U_0), транзистор выключен. Ток через стоковую нагрузку R_c не протекает. Когда напряжение $u_{\text{вх}}$ превышает пороговое напряжение U_0 (на поверхности полупроводника образовался канал), транзистор включён. В этом состоянии электронного ключа ток стока

$$I_c = \frac{U_{\text{п}}}{R_c + r_k}, \quad (1.10)$$

где r_k – сопротивление канала МОП-транзистора.

Следовательно, такой ключ имеет неодинаковое потребление во включённом и выключенном состояниях.

Более пригодными для интегральной технологии являются ключи, у которых вместо резисторной стоковой нагрузки используются нагрузочные транзисторы (рис. 1.10, б, в) [5]. Так, в ключе с нелинейным резистором (рис. 1.10, б) используется тот факт, что подача на затвор нагрузочного транзистора T_H напряжения U_{Π} , существенно превышающего значение порогового напряжения U_0 , образует у него канал с минимальным сопротивлением $r_{к.н} = r_{к.мин}$.

Когда сигнал $u_{вх}$ меньше порогового напряжения транзистора T_K , выход ключа соединён с положительным полюсом источника питания через параллельно включённые сопротивления $r_{к.мин}$ и R_H^I . Через ключ протекает ток нагрузки I_H^{II} (вернее, только его часть, определяемая соотношением сопротивлений $r_{к.н}$ и R_H^I), определяющий уровень максимального выходного напряжения

$$I_H^{II} = \frac{U_{\Pi}}{r_{к.мин} \parallel R_H^I + R_H^{II}}; U_{\text{вых max}} = I_H^{II} R_H^{II}. \quad (1.11)$$

Сам же ключ не потребляет ток от источника питания.

Когда $u_{вх} > U_0$ и у транзистора T_K образуется канал с сопротивлением $r_{к.к}$, то выходное напряжение минимально:

$$U_{\text{вых min}} = \frac{U_{\Pi}(r_{к.к} \parallel R_H^{II})}{r_{к.н} \parallel R_H^I + r_{к.к} \parallel R_H^{II}}. \quad (1.12)$$

При этом сам ключ потребляет от источника питания ток

$$I_{\text{пот}} = \frac{U_{\Pi}}{r_{к.н} \parallel R_H^I + r_{к.к} \parallel R_H^{II}} - \frac{U_{\Pi}}{R_H^I + R_H^{II}}. \quad (1.13)$$

Таким образом, при переключении ключа с нелинейной нагрузкой размах выходного напряжения

$$U_{\text{вых m}} = U_{\Pi} \left[\frac{R_H^{II}}{r_{к.мин} \parallel R_H^I + R_H^{II}} - \frac{r_{к.к} \parallel R_H^{II}}{r_{к.мин} \parallel R_H^I + r_{к.к} \parallel R_H^{II}} \right]. \quad (1.14)$$

В режиме холостого хода размах выходного напряжения максимален, но при наличии внешней нагрузки уменьшается из-за относительно большого значения сопротивлений $r_{к.н}$ и $r_{к.к}$.

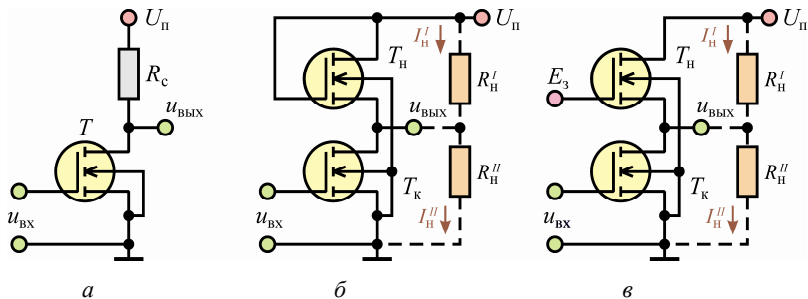


Рис. 1.10. Электронные ключи на МОП-транзисторах:

a – с резисторной стоковой нагрузкой;

б – с нелинейным резистором; *в* – с квазилинейным резистором

В ключе с квазилинейным резистором (рис. 1.11, *в*) на затвор транзистора T_n подаётся напряжение E_3 , превышающее пороговое напряжение U_0 . Изменение напряжения E_3 позволяет регулировать сопротивление канала транзистора T_n , благодаря чему появляется возможность увеличения коэффициента использования питающего напряжения.

Общим серьёзным недостатком рассмотренных ключей на МОП-транзисторах является неравенство потребляемого тока во включённом и выключенном состояниях.

Пример 1.3. Определить потребляемый ток и размах выходного напряжения МОП-ключа, выполненного по схеме рис. 1.11, *б*, если $U_{\Pi} = 9$ В; $r_{к.н} = r_{к.мин} = 1$ кОм; $r_{к.к} = 2$ кОм; $R_n^I = R_n^{II} = 10$ кОм.

1. В соответствии с выражением (1.13)

$$I_{\text{пот}} = \frac{U_{\Pi}}{\frac{r_{к.н} R_n^I + r_{к.к} R_n^{II}}{r_{к.н} + R_n^I} + \frac{r_{к.к} R_n^{II}}{r_{к.к} + R_n^{II}}} - \frac{U_{\Pi}}{R_n^I + R_n^{II}} = \frac{9}{\frac{1 \times 10}{1 + 10} + \frac{2 \times 10}{2 + 10}} - \frac{9}{10 + 10} \approx 3,04 \text{ мА.}$$

2. Размах выходного напряжения электронного ключа с нелинейным резистором согласно выражениям (1.11), (1.12) и (1.14)

$$I_n^{II} = \frac{U_{\Pi}}{\frac{r_{к.мин} R_n^I}{r_{к.мин} + R_n^I} + R_n^{II}} = \frac{9}{\frac{1 \times 10}{1 + 10} + 10} = 0,825 \text{ мА;}$$

$$U_{\text{вых макс}} = I_n^{II} R_n^{II} = 0,825 \cdot 10^{-3} \times 10 \cdot 10^3 = 8,25 \text{ В;}$$

$$U_{\text{ВЫХ min}} = \frac{U_{\Pi} \frac{r_{\text{к.к}} R_{\text{H}}''}{r_{\text{к.к}} + R_{\text{H}}''}}{\frac{r_{\text{к.н}} R_{\text{H}}'}{r_{\text{к.н}} + R_{\text{H}}'} + \frac{r_{\text{к.к}} R_{\text{H}}''}{r_{\text{к.к}} + R_{\text{H}}''}} = \frac{9 \times \frac{2 \times 10}{2 + 10}}{\frac{1 \times 10}{1 + 10} + \frac{2 \times 10}{2 + 10}} \approx 5,82 \text{ В};$$

$$U_{\text{ВЫХ m}} = U_{\text{ВЫХ max}} - U_{\text{ВЫХ min}} = 8,25 - 5,82 = 2,43 \text{ В.}$$

Пример 1.4. Определить потребляемый ток и размах выходного напряжения МОП-ключа, выполненного по схеме рис. 1.11, в, если $U_{\Pi} = 9 \text{ В}$; $r_{\text{к.н}} = 2 \text{ кОм}$; $r_{\text{к.к}} = 2 \text{ кОм}$; $R_{\text{H}}' = R_{\text{H}}'' = 10 \text{ кОм}$.

1. В соответствии с выражениями (1.11), (1.12) и (1.13)

$$I_{\text{H}}'' = \frac{U_{\Pi}}{\frac{r_{\text{к.к}} R_{\text{H}}'}{r_{\text{к.к}} + R_{\text{H}}'} + R_{\text{H}}''} = \frac{9}{\frac{2 \times 10}{2 + 10} + 10} = 0,77 \text{ мА};$$

$$U_{\text{ВЫХ max}} = 0,77 \cdot 10^{-3} \times 10 \cdot 10^3 = 7,71 \text{ В}; \quad U_{\text{ВЫХ min}} = 0,5 U_{\Pi} = 4,5 \text{ В};$$

$$I_{\text{ПОТ}} = \frac{U_{\Pi}}{2 \frac{r_{\text{к.к}} R_{\text{H}}''}{r_{\text{к.к}} + R_{\text{H}}''}} - \frac{U_{\Pi}}{R_{\text{H}}' + R_{\text{H}}''} = \frac{9}{2 \frac{2 \times 10}{2 + 10}} - \frac{9}{10 + 10} \approx 2,25 \text{ мА.}$$

2. Размах выходного напряжения электронного ключа с квазилинейным резистором согласно выражению (1.14)

$$U_{\text{ВЫХ m}} = U_{\text{ВЫХ max}} - U_{\text{ВЫХ min}} = 7,71 - 4,5 = 3,21 \text{ В.}$$

1.2.2. КМОП-ключ

Для уменьшения мощности, рассеиваемой на ключевом транзисторе, и ускорения перезаряда паразитных емкостей вместо линейного или нелинейного резистора обычно используется полевой транзистор, имеющий проводимость канала, инверсную по отношению к проводимости ключевого. Образуется так называемый КМОП-ключ (комплементарный МОП), пример схемы которого показан на рис. 1.11, а. Ключевой транзистор T_n имеет канал n -типа, нагрузочный транзистор T_p – канал p -типа. Обозначим через U_{0n} пороговое напряжение транзистора T_n , через U_{0p} – транзистора T_p . Тогда при $u_{\text{вх}} = U_{\text{вх0}} < U_{0n}$ транзистор T_n заперт, а транзистор T_p открыт, так как для него напряжение между

затвором и подложкой $u_{зпp} = U_{вх0} - U_{п} < U_{0p}$ ($|u_{зпp}| > |U_{0p}|$). Поскольку у транзистора T_n канала нет, сквозной ток через ключ близок к нулю, следовательно, потребление мощности ненагруженной схемой в этом режиме также близко к нулю.

Если $u_{вх} = U_{вх1} > U_{0n}$, то транзистор T_n открыт, а транзистор T_p заперт, так как для него напряжение между затвором и подложкой $u_{зпp} = U_{вх1} - U_{п} > U_{0p}$ ($|u_{зпp}| < |U_{0p}|$). Сквозного тока через каналы транзисторов снова нет, и ненагруженный ключ и в этом статическом режиме мощности не потребляет.

Коэффициент использования питающего напряжения КМОП-ключа $k_{U_{п}} = U_{выхm}/U_{п} \approx 1$. Действительно, когда открыт T_n , $u_{вых} = U_{вых\ min} \approx 0$, напряжение на выходе формируется за счёт деления напряжения $U_{п}$ между сопротивлениями каналов $r_{кн}$ и $r_{кр}$ транзисторов T_n и T_p . Второе из этих сопротивлений очень велико. При открытом транзисторе T_p , $u_{вых} = U_{вых\ max} \approx U_{п}$, так как очень велико сопротивление $r_{кн}$. Следовательно, в режиме холостого хода напряжение $U_{выхm}$ весьма близко к значению $U_{п}$.

Когда ключ нагружен внешней нагрузкой аналогично тому, как это показано на рис. 1.11, б, то $U_{вых\ min}$, $U_{вых\ max}$ и $U_{выхm}$ могут быть определены по выражениям

$$U_{вых\ min} = \frac{U_{п} R_{н}''}{R_{н}^I + r_{кн} || R_{н}''}; \quad U_{вых\ max} = \frac{U_{п} R_{н}''}{r_{кр} || R_{н}^I + R_{н}''}; \quad (1.15)$$

$$U_{выхm} = U_{п} R_{н}'' \left(\frac{1}{r_{кр} R_{н}^I + R_{н}''} - \frac{1}{R_{н}^I + \frac{r_{кн} R_{н}''}{r_{кн} + R_{н}''}} \right), \quad (1.16)$$

т.е. $U_{вых\ min}$ становится больше, $U_{вых\ max}$ и $U_{выхm}$ – меньше. Впрочем, как уже указывалось ранее, это недостаток всех схем, в которых применяются полевые транзисторы.

В течение интервала $t_{ф}$ – длительность формирования фронта импульса $u_{вых}$ – может оказаться, что проводят оба транзистора и через каналы пройдёт импульс сквозного тока. Этот ток появляется, если $U_{п} > U_{0n} + |U_{0p}|$, а $U_{вх1} > U_{0n}$ и $|U_{вх1} - U_{п}| > |U_{0p}|$. За счёт импульсов сквозного тока мощность, потребляемая ключевым каскадом при большой частоте коммутаций, может существенно увеличиться. Для исключения импульсов сквозного тока

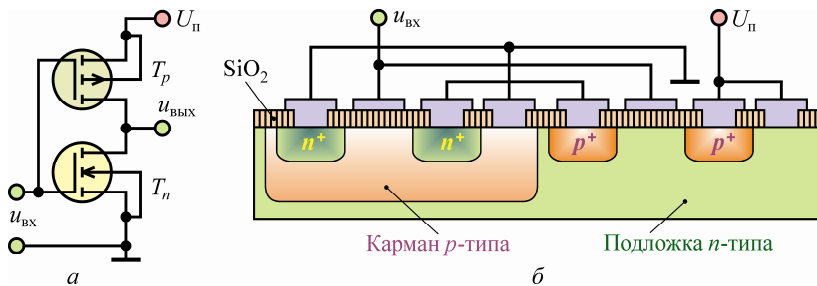


Рис. 1.11. Комплементарный МОП-ключ:
a – схема; *б* – интегральная структура

напряжение питания выбирается из условия $U_{п} < U_{0n} + |U_{0p}|$. Когда указанное условие обеспечено, то стоковый ток транзисторов идёт практически только на перезаряд паразитных ёмкостей в выходной цепи. Паразитная ёмкость заряжается током стока включённого транзистора T_p , а разряжается током стока включённого транзистора T_n . В обоих случаях в цепи перезаряда имеется сопротивление канала включённого транзистора.

Технологически изготовление КМОП-структур намного сложнее, поскольку требуется создание на одной подложке МОП-транзисторов с разным типом проводимости каналов. Простейшую структуру, совмещающую p - и n -канальные транзисторы, размещают на n -подложке, на поверхности которой исток и сток p -канального транзистора выполняются непосредственно (рис. 1.11, *б*) [6]. Для n -канального транзистора формируется p -карман, вблизи поверхности кармана – сток и исток. Подложку такой структуры следует присоединить к положительному полюсу источника питания, а p -карман – к нулю.

Схема логического инвертора создаётся металлизацией поверхности полупроводника, а в более новых разработках ИМС алюминиевая плёнка заменяется поликремниевой (поликремний является хорошим проводником, не имеющим полупроводниковых свойств монокристаллического кремния) [6].

Наличие тонких изолирующих компонентов и невысокое пробивное напряжение p - n -переходов требует мер по их защите от недопустимых напряжений: полную защиту КМОП-ключа обычно обеспечивают шесть диодов и один резистор (рис. 1.12).

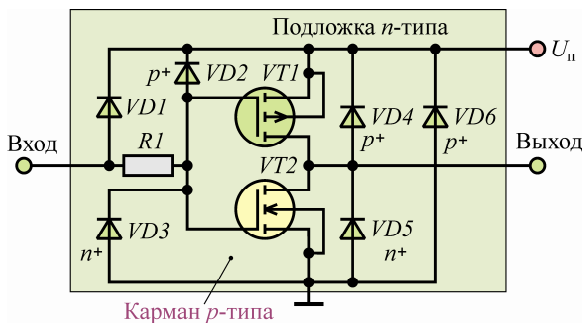


Рис. 1.12. Схема КМОП-ключа с защитными элементами

Резистор $R1$ (200...2000 Ом) ограничивает пиковый ток заряда паразитного конденсатора $C_{зи}$ (5...15 пФ) и одновременно защищает выход предыдущего каскада от перегрузки, ток которой может быть достаточно опасным, если источник управляющего сигнала работает сразу на несколько КМОП-ключей.

Диоды $VD1...VD3$ защищают затворы от пробоя по изоляции и на карман; $VD4$ и $VD5$ – выходную цепь ключа от пробоя на подложку и карман; $VD6$ – от ошибочной подачи обратной полярности напряжения питания (пробивное напряжение диода $VD1$ не менее 25 В, а диодов $VD2$ и $VD3$ – 50 В) [6].

В нормальном режиме все диоды заперты напряжением питания. При попадании на вход статических помех напряжение на затворах ограничивается прямым напряжением на диоде $VD2$, резистор $R1$ при этом рассеивает мощность помехи. Однако ток через защитные диоды может превысить критическое значение, определяющее напряжение переключения паразитного тиристора, образованного защитными диодами. При переключении тиристора возникает цепь низкого сопротивления между входом и нулём (скачкообразное уменьшение входного сопротивления КМОП-структуры при большом токе через защитные диоды называют "эффектом защёлкивания входов"). Если длительность воздействия перенапряжения не ограничена, большой ток повреждает вход КМОП-ключа. Эффект "защёлкивания" не возникает при включении на входе балластного резистора, ограничивающего ток защитных диодов на уровне нескольких миллиампер.

2. ЛОГИЧЕСКИЕ СТРУКТУРЫ

2.1. КОМБИНАЦИОННЫЕ И ПОСЛЕДОВАТЕЛЬНОСТНЫЕ ЛОГИЧЕСКИЕ УСТРОЙСТВА

В логических устройствах сигнал на входе и выходе каскада является двоичным. Он может принимать только два значения: логического нуля (**0**) и логической единицы (**1**). Значения **0** и **1** являются символическими, они не соответствуют численным значениям напряжений, соответствующих указанным сигналам. Так, в логическом устройстве с использованием ИМС серии К511 [7] выходное напряжение, соответствующее логической **1**, не менее 13,5 В, а напряжение, соответствующее логическому **0**, не превышает 1,5 В, если напряжение питания равно 15 В. В логическом устройстве, построенном на основе ИМС серии КР1533 [8], питающихся напряжением 5 В, выходное напряжение, соответствующее логической **1**, имеет уровень не менее 2,5 В, а напряжение, соответствующее логическому **0**, не превышает 0,4 В. В ключевом транзисторном каскаде уровнем логического **0** может служить напряжение на коллекторе насыщенного транзистора, а уровнем логической **1** – напряжение на коллекторе закрытого транзистора.

Типовые каскады логических устройств можно разделить на два класса: *логические элементы* и *элементы памяти*. Логические элементы осуществляют преобразование логических сигналов, элементы памяти – запоминание информации. В соответствии с этой классификацией типовых каскадов логических устройств сами устройства можно разделить на *комбинационные* и *последовательностные*.

Комбинационные логические устройства состоят только из логических элементов, их выходной сигнал зависит от входных сигналов, сформировавшихся на входах логического устройства к рассматриваемому моменту времени.

Последовательностные логические устройства кроме логических элементов содержат и элементы памяти, поэтому их выходной сигнал зависит не только от входных сигналов в рассматриваемый момент времени, но и от сигналов на выходах элементов памяти, которые являются результатом логической

обработки сигналов, поступавших в предшествующие моменты времени (такты работы).

Входные сигналы логических каскадов обычно обозначают буквами X_1, X_2, \dots, X_n (или x_1, x_2, \dots, x_n), где n – число входов логического каскада. Выходной сигнал логических каскадов обозначают буквой Y (или y). Когда в качестве входного логического сигнала используется временной параметр, применяется обозначение t_1, t_2, \dots, t_n .

В общем случае логическая структура может иметь несколько выходов, тогда используются следующие обозначения их сигналов: Y, Z, Q, P (или y, z, q, p) и т.д.

2.2. ОСНОВНЫЕ ЗАКОНЫ И ПРАВИЛА АЛГЕБРЫ ЛОГИКИ

Проектирование логических устройств и выбор оптимальных вариантов их построения производят с использованием алгебры логики, разработанной в середине XIX в. ирландским математиком Дж. Булем (поэтому алгебру логики ещё называют и алгеброй Буля). В алгебре логики используется двоичная переменная X , удовлетворяющая условиям $X=1$, если $X \neq 0$, и $X=0$, если $X \neq 1$. С такими переменными можно производить логические операции, основными из которых являются операции **И**, **ИЛИ**, **НЕ** (базовые логические операции).

Операция И (конъюнкции). Эту операцию называют также операцией *логического умножения*. Для двух переменных X_1 и X_2 эта операция даёт следующие результаты: $0 \cdot 0 = 0$, $0 \cdot 1 = 0$, $1 \cdot 0 = 0$, $1 \cdot 1 = 1$. В левой части этих соотношений даны значения переменных X_1 и X_2 , знаком умножения обозначена операция конъюнкции, в правой части после знака равенства дан результат операции – значение Y . Переменная Y принимает значение **1** только в том случае, когда обе переменные равны **1**.

Аналитически операцию конъюнкции для n переменных записывают в виде $Y = X_1 \cdot X_2 \cdot \dots \cdot X_n$ или $Y = X_1 \wedge X_2 \wedge \dots \wedge X_n$.

Операцию конъюнкции часто записывают без точки, обозначающей знак логического умножения.

Условное обозначение трёхвходового логического элемента, выполняющего операцию конъюнкции, показано на рис. 2.1, а.

Простейший логический элемент **И** может быть реализован на пассивных дискретных электронных компонентах – диодах и резисторах (рис. 2.1, б).

Операция **И** довольно широко используется при построении релейно-контактных схем: этой операции соответствует последовательное включение замыкающих контактов электромеханических реле (рис. 2.1, в).

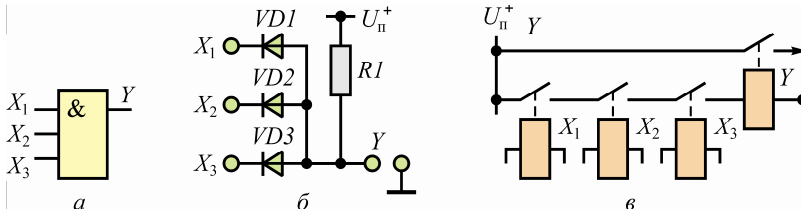


Рис. 2.1. Логические элементы **И**:
 а – условное обозначение; б – диодно-резисторная реализация;
 в – релейно-контактная схема

Операция ИЛИ (дизъюнкции). Эту операцию называют также операцией *логического сложения*. Для двух переменных X_1 и X_2 эта операция даёт следующие результаты: $0 + 0 = 0$, $0 + 1 = 1$, $1 + 0 = 1$, $1 + 1 = 1$. В левой части этих соотношений даны значения переменных X_1 и X_2 , знаком сложения (по аналогии с операцией суммирования в обычной алгебре) обозначена операция дизъюнкции, в правой части после знака равенства дан результат операции – значение Y . Переменная Y принимает значение **1**, если хотя бы одна входная переменная имеет значение **1**.

Аналитически операцию дизъюнкции для n переменных записывают в виде $Y = X_1 + X_2 + \dots + X_n$ или $Y = X_1 \vee X_2 \vee \dots \vee X_n$.

Условное обозначение трёхвходового логического элемента, выполняющего операцию дизъюнкции, показано на рис. 2.2. Простейший логический элемент **ИЛИ** может быть реализован на дискретных электронных компонентах – диодах и резисторах (рис. 2.2, б) и в релейно-контактном варианте (рис. 2.2, в).

Сопоставление схем рис. 2.1 и рис. 2.2 показывает, что для получения диодного элемента **ИЛИ** из элемента **И** следует "развернуть" диоды наоборот, а балластный резистор подключить к

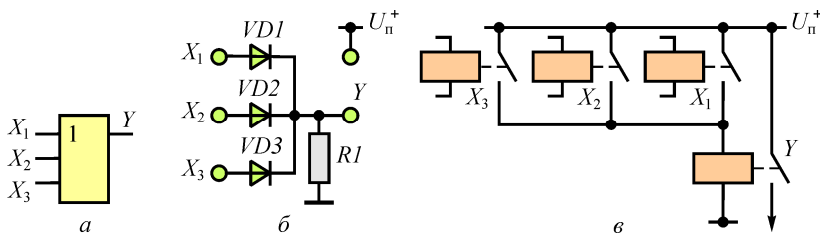


Рис. 2.2. Логические элементы **ИЛИ**:
 а – условное обозначение; б – диодно-резисторная реализация;
 в – релейно-контактная схема

нулю питания. Для получения контактного варианта элемента **ИЛИ** используется параллельное включение контактов электро-механических реле (или любых других контактных устройств: переключателей, кнопок и т.д.).

Операция НЕ (инверсии). Эту операцию называют также операцией *логического отрицания*. Выполняется эта операция над одной переменной X (под переменной X может подразумеваться сколь угодно сложное логическое выражение) и даёт следующие результаты: $\overline{0} = 1$ и $\overline{1} = 0$. Операция инверсии записывается в аналитическом виде как $Y = \overline{X}$.

Условное обозначение логического элемента, выполняющего операцию **НЕ**, показано на рис. 2.3. Простейший логический элемент **НЕ** может быть реализован на дискретных электронных компонентах с применением транзисторных структур: ключевом усилительном каскаде на биполярном транзисторе, включённом по схеме с общим эмиттером (см. рис. 1.1), ключевом каскаде на МОП-транзисторе, включённом по схеме с общим истоком со стоковой резисторной нагрузкой (см. рис. 1.10), на комплементарной транзисторной паре (см. рис. 1.11). Можно выполнить операцию **НЕ** и на электро-механическом реле, имеющем нормально закрытые контакты (рис. 2.3, б).

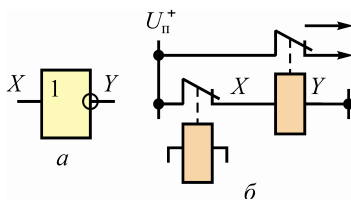


Рис. 2.3. Логические элементы **НЕ**:
 а – условное обозначение;
 б – релейно-контактная схема

Правила выполнения операций конъюнкции, дизъюнкции и логической инверсии можно использовать при осуществлении логических преобразований. В частности, учитывая правила выполнения указанных операций, для одной переменной X можно получить следующие соотношения, отражающие результаты логического умножения и логического сложения переменной X с константами 0 и 1 , а также с инверсией самой переменной:

$$\begin{aligned} X \cdot 0 &= 0; & X + 0 &= X; \\ X \cdot 1 &= X; & X + 1 &= 1; \\ X \cdot X &= X; & X + X &= X; \\ X \cdot \bar{X} &= 0; & X + \bar{X} &= 1; & \bar{\bar{X}} &= X. \end{aligned}$$

Данные соотношения часто используют при логических преобразованиях. Например, можно отметить, что логическое сложение переменной X с одним или несколькими значениями этой же переменной не изменяет значения этой переменной:

$$X + X + X + \dots = X.$$

Указанное соотношение в релейно-контактной интерпретации соответствует параллельному включению нормально открытых контактов одного и того же реле. Иногда это следствие используется для повышения надёжности электромеханических и электронных систем. При проектировании электронной аппаратуры, выполненной на интегральных микросхемах, указанное соотношение используется в процессе оптимизации схемы.

При различных сочетаниях двух и более переменных для логических преобразований используются следующие основные законы и правила алгебры логики.

Переместительный закон (закон коммутативности). Закон коммутативности, как и все другие, записывается двояко:

$$\begin{aligned} \text{а) } X_1 + X_2 &= X_2 + X_1; \\ \text{б) } X_1 \cdot X_2 &= X_2 \cdot X_1. \end{aligned}$$

В практических схемах на основании закона коммутативности можно в логических элементах **И** и **ИЛИ** подавать сигналы X_1 и X_2 на любой их входов, что в ряде случаев упрощает процесс проектирования аппаратуры.

Сочетательный закон (закон ассоциативности). В аналитической форме сочетательный закон записывается следующим образом:

$$а) X_1 + X_2 + X_3 = X_1 + (X_2 + X_3) = (X_1 + X_2) + X_3 ;$$

$$б) X_1 \cdot X_2 \cdot X_3 = X_1 \cdot (X_2 \cdot X_3) = (X_1 \cdot X_2) \cdot X_3 .$$

Из закона ассоциативности следует важный для практики вывод: операция **И** (**ИЛИ**) для трёх переменных – **ЗИ** (**ЗИЛИ**) – может быть реализована на двухвходовых логических элементах **2И** (**2ИЛИ**); операция **4И** (**4ИЛИ**) для четырёх переменных может быть реализована на логических элементах **3И** (**3ИЛИ**) или **2И** (**2ИЛИ**); и т.д.

Пример 2.1. Пусть требуется получить дизъюнкцию трёх переменных $Y = X_1 + X_2 + X_3$, но с использованием логических элементов **2ИЛИ**.

Выполнить поставленную задачу можно, применив два дизъюнктора (рис. 2.4).

На вход первого дизъюнктора подаются сигналы X_1 и X_2 (в соответствии с законом коммутативности можно было подать сигналы X_2 и X_3), на выходе

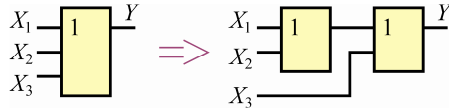


Рис. 2.4. Реализация операции **3ИЛИ** на элементах **2ИЛИ**

дизъюнктора будет формироваться сигнал $Z = X_1 + X_2$ (образуется промежуточная ассоциация двух переменных). На входы второго дизъюнктора подается входной сигнал X_3 и выходной сигнал первого дизъюнктора. В результате выходной сигнал второго будет таким, как это требуется: $Y = Z + X_3 = X_1 + X_2 + X_3$.

Распределительный закон (закон дистрибутивности). Аналитическая форма закона дистрибутивности имеет вид

$$а) X_1 \cdot (X_2 + X_3) = X_1 \cdot X_2 + X_1 \cdot X_3 ;$$

$$б) X_1 + X_2 \cdot X_3 = (X_1 + X_2) \cdot (X_1 + X_3) .$$

Если первый вариант закона дистрибутивности имеет подобную форму в обычной алгебре, то второй вариант этого закона не имеет аналога в обычной алгебре. Для доказательства справедливости этого соотношения преобразуем правую часть

записанного равенства:

$$(X_1 + X_2) \cdot (X_1 + X_3) = X_1 \cdot X_1 + X_1 \cdot X_3 + X_1 \cdot X_2 + X_2 \cdot X_3 = X_1 + X_2 \cdot X_3 + X_1 \cdot (X_2 + X_3) = X_1 \cdot (1 + X_2 + X_3) + X_2 \cdot X_3 = X_1 + X_2 \cdot X_3 .$$

Схемная интерпретация распределительного закона дана на рис. 2.5. Анализ этих схем показывает, что распределительный закон можно эффективно использовать в процессе проектирования логических структур, так как, во-первых, он обеспечивает выполнение требуемой логической операции с меньшим числом логических элементов, а, во-вторых, – даёт уменьшение количества соединительных связей между элементами схемы, что способствует повышению надёжности аппаратуры.

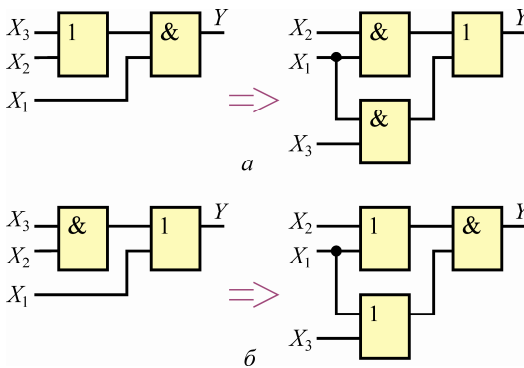


Рис. 2.5. Схемная реализация распределительного закона:
а – первый вариант; б – второй вариант

Закон поглощения. В аналитической форме сочетательный закон записывается как

а) $X_1 + X_1 \cdot X_2 = X_1$;

б) $X_1 \cdot (X_1 + X_2) = X_1$.

Эти соотношения доказываются следующим образом:

а) $X_1 + X_1 \cdot X_2 = X_1 \cdot (1 + X_2) = X_1$;

б) $X_1 \cdot (X_1 + X_2) = X_1 \cdot X_1 + X_1 \cdot X_2 = X_1 + X_1 \cdot X_2 = X_1 \cdot (1 + X_2) = X_1$.

Схемная интерпретация закона поглощения дана на рис. 2.6.

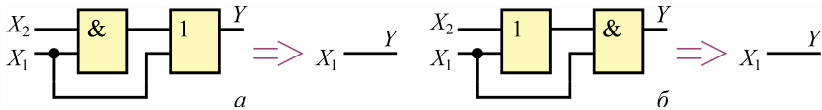


Рис. 2.6. Схемная реализация закона поглощения:
a – первый вариант; *б* – второй вариант

Анализ схем, представленных на рис. 2.6, показывает, что этот закон также весьма полезен для упрощения логических структур, поскольку показывает возможность исключения из проектируемой логической схемы "лишних" элементов и связей между ними. Особенно большой эффект применение этого закона даёт в релейно-контактных структурах, позволяя убрать "лишние" реле. В некоторых случаях это существенно упрощает монтажную схему, что сказывается на повышении надёжности.

Закон склеивания. Две формы записи закона склеивания имеют вид

$$a) X_1 \cdot X_2 + \overline{X_1} \cdot X_2 = X_2;$$

$$б) (X_1 + X_2) \cdot (\overline{X_1} + X_2) = X_2.$$

Докажем эти соотношения:

$$a) X_1 \cdot X_2 + \overline{X_1} \cdot X_2 = X_2 \cdot (X_1 + \overline{X_1}) = X_2 \cdot 1 = X_2;$$

$$б) (X_1 + X_2) \cdot (\overline{X_1} + X_2) = X_1 \cdot \overline{X_1} + X_1 \cdot X_2 + \overline{X_1} \cdot X_2 + X_2 \cdot X_2 = \\ = 0 + X_2 \cdot (X_1 + \overline{X_1}) + X_2 = X_2 \cdot 1 + X_2 = X_2 + X_2 = X_2.$$

Схемная интерпретация закона склеивания дана на рис. 2.7. Анализ схем показывает, что этот закон также целесообразно использовать для упрощения логических структур.

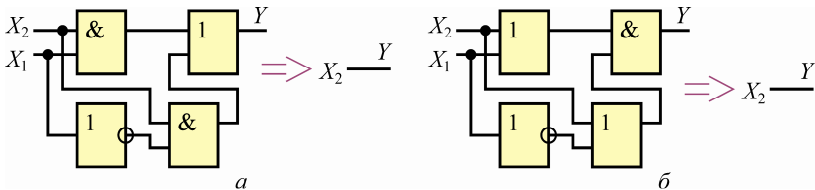


Рис. 2.7. Схемная реализация закона склеивания:
a – первый вариант; *б* – второй вариант

Правило де Моргана (иногда этот закон называют теоремой де Моргана). Аналитически правило записывается в виде

а) $\overline{X_1 + X_2} = \overline{X_1} \cdot \overline{X_2}$;

б) $\overline{X_1 \cdot X_2} = \overline{X_1} + \overline{X_2}$.

Справедливость правила может быть доказана непосредственной подстановкой всех возможных значений переменных X_1 и X_2 в правую и левую часть соотношений (табл. 2.1, 2.2).

Таблица 2.1

| X_1 | X_2 | $\overline{X_1 + X_2}$ | $\overline{X_1} \cdot \overline{X_2}$ |
|-------|-------|------------------------|---------------------------------------|
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 |

Таблица 2.2

| X_1 | X_2 | $\overline{X_1} \cdot \overline{X_2}$ | $\overline{X_1 + X_2}$ |
|-------|-------|---------------------------------------|------------------------|
| 0 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 0 |

Схемная интерпретация правила де Моргана дана на рис. 2.8. Анализ этих схем показывает, что правило де Моргана целесообразно использовать в тех случаях, когда требуется реализовать логическую структуру на логических элементах одного типа.

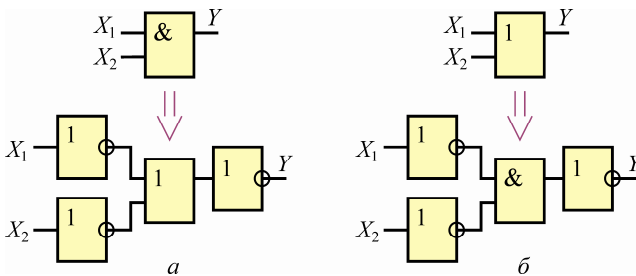


Рис. 2.8. Схемная реализация правила де Моргана:
а – первый вариант; б – второй вариант

Для нескольких переменных

а) $\overline{X_1 + X_2 + \dots + X_n} = \overline{X_1} \cdot \overline{X_2} \cdot \dots \cdot \overline{X_n}$;

б) $\overline{X_1 \cdot X_2 \cdot \dots \cdot X_n} = \overline{X_1} + \overline{X_2} + \dots + \overline{X_n}$.

2.3. ЛОГИЧЕСКИЕ ФУНКЦИИ

Функция двоичных переменных $Y=f(X_1, X_2, \dots, X_j, \dots, X_n)$ называется логической (булевой). Значения функции, зависящие от переменных X_1, X_2, \dots могут быть только двоичными, т.е. принимают значения **0** и **1**. Значения функции Y , равные единице, называют *истинными*, а значения, равные нулю, – *ложными*.

Отражать результаты операций с логическими переменными удобно с помощью *таблиц истинности*. В таблицу истинности вносятся все сочетания переменных, называемых *наборами*, и соответствующие им результаты выполнения логической операции. При составлении таблицы истинности целесообразно придерживаться следующих определённых правил:

1) для переменных X_1, X_2, \dots, X_n число столбцов в таблице должно быть равно $n+k$ (n столбцов для входных переменных X_1, X_2, \dots, X_n и k столбцов для значений выходных сигналов);

2) число строк в таблице должно быть равно 2^n . Например, для двух переменных X_1 и X_2 число строк составляет $2^2=4$, для трёх переменных X_1, X_2 и X_3 – $2^3=8$ и т.д.;

3) значения переменной X_n помещаются в крайний левый столбец, X_{n-1} – в соседний с ним и т.д.; значения выходных сигналов Y_1 помещаются в $n+1$ столбец, а Y_k – в $n+k$.

4) запись наборов производится, начиная с первой строки, в виде целых положительных чисел в двоичной системе счисления, располагаемых в порядке их возрастания.

Ниже приведены таблицы истинности для операции конъюнкции и дизъюнкции для двух переменных (табл. 2.3, 2.4), а также для операции логического отрицания (табл. 2.5), которые являются примерами простейших логических функций.

Таблица 2.3

| И: $Y = X_1 \cdot X_2$ | | |
|-------------------------------|----------|----------|
| X_2 | X_1 | Y |
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

Таблица 2.4

| ИЛИ: $Y = X_1 + X_2$ | | |
|-----------------------------|----------|----------|
| X_2 | X_1 | Y |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |

Таблица 2.5

| НЕ: $Y = \bar{X}$ | |
|--------------------------|----------|
| X | Y |
| 0 | 1 |
| 1 | 0 |

Из анализа таблиц истинности для операций конъюнкции и дизъюнкции следует *принцип двойственности* алгебры логики: Операции **И** и **ИЛИ** можно поменять местами, если значение **1** заменить на **0**, а значение **0** заменить на **1**, поменяв при этом знак «+» на знак «·»: если сигнал $Y = X_1 + X_2$, то его инверсия $\bar{Y} = \bar{X}_1 \cdot \bar{X}_2$; если $Y = X_1 \cdot X_2$, то $\bar{Y} = \bar{X}_1 + \bar{X}_2$.

Следствием принципа двойственности являются две формы записи законов и правил булевой алгебры, а также аналогичность их схемных интерпретаций.

Логическая функция $Y = f(X_1, X_2, \dots)$ называется *определённой*, если известно её значение на каждом наборе переменных. Если же для некоторых наборов значение функции Y не задано, то функцию называют *недоопределённой* или *частично определённой*. Бывают случаи, когда некоторые наборы переменных по условиям работы логического устройства заведомо невозможны и функция $Y = f(X_1, X_2, \dots)$ не определена именно на этих наборах, хотя теоретически эти наборы существуют. В этих случаях логическую функцию на теоретических наборах можно доопределить любым значением для удобства последующего анализа или синтеза логической структуры. Дополнительные условия, исходя из которых доопределяют частично определённую функцию, называют *факультативными*.

Существует несколько способов представления логических функций. Первый – словесное описание функции, второй – табличный. Таблицы истинности (табл. 2.3, 2.4, 2.5) являются примером табличного представления логических функций.

От табличной формы представления логической функции нетрудно перейти к аналитической форме её записи. Например, из табл. 2.6 видно, что значение функции истинно только для некоторых наборов переменных. Значение $Y = 1$, если:

- 1) $X_1 = 1, X_2 = 0$, т.е. для логического произведения $X_1 \cdot \bar{X}_2$;
- 2) $X_1 = 0, X_2 = 1$, т.е. для логического произведения $\bar{X}_1 \cdot X_2$.

Каждое из произведений переменных, для которых значение функции истинно, называется *минтермом*. Функцию $Y = f(X_1, X_2)$ можно представить в виде суммы минтермов:

$$Y = X_1 \cdot \bar{X}_2 + \bar{X}_1 \cdot X_2. \quad (2.1)$$

В выражении (2.1) функция $Y=f(X_1, X_2)$ представлена в виде дизъюнкции конъюнкций переменных или их отрицаний. Когда в такой форме записи каждое слагаемое состоит из произведения всех переменных X_1, X_2, \dots, X_n или их отрицаний, то такую форму представления функции называют *совершенной дизъюнктивной нормальной формой* (СДНФ) или *первой стандартной формой*.

Таблица 2.6

| X_2 | X_1 | Y |
|----------|----------|----------|
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

Аналогично можно выделить и неистинные (нулевые) значения функции из табл. 2.6. При выделении неистинных значений функция равна логической **1**, если:

1) $X_1=0, X_2=0$, т.е. для логического произведения $\bar{X}_1 \cdot \bar{X}_2$;

2) $X_1=1, X_2=1$, т.е. для логического произведения $X_1 \cdot X_2$.

Следовательно, $\bar{Y} = \bar{X}_1 \cdot \bar{X}_2 + X_1 \cdot X_2$.

Используя принцип двойственности или правило де Моргана, перейдем к истинному значению функции:

$$Y = (X_1 + X_2) \cdot (\bar{X}_1 + \bar{X}_2) \quad (2.2)$$

Функция $Y=f(X_1, X_2)$ представлена в виде конъюнкции дизъюнкций переменных или их отрицаний. Если в такой форме записи каждый сомножитель содержит сумму всех переменных X_1, X_2, \dots, X_n или их отрицаний, то такую форму представления логической функции называют *совершенной конъюнктивной нормальной формой* (СКНФ) или *второй стандартной формой*.

2.4. СИНТЕЗ КОМБИНАЦИОННЫХ ЛОГИЧЕСКИХ СХЕМ

2.4.1. Синтез комбинационной схемы по заданной функции

По аналитической форме записи функции $Y=f(X_1, X_2)$ легко построить логическую структуру, которая сможет осуществить обработку сигналов X_1, X_2, \dots, X_n по заданному алгоритму – аналитическая форма представления логической функции непосредственно указывает на количественную потребность и вид логических элементов, которые необходимы для её схемной реализации, а также и описывает связь всех элементов между собой. Например, логическая функция (2.1), записанная в СДНФ, для

своей реализации требует двух логических элементов **НЕ**, двух – **ИЛИ** и одного – **ИЛИ** (рис. 2.9, а). Функция (2.2), записанная в СКНФ, для своей реализации требует двух логических элементов **НЕ**, двух – **ИЛИ** и одного – **И** (рис. 2.9, б). Оба указанных варианта схемной реализации алгоритмов (2.1) и (2.2) соответствуют операции **Исключающее ИЛИ**. Условное обозначение элемента **Исключающее ИЛИ** представлено на рис. 2.9, в.

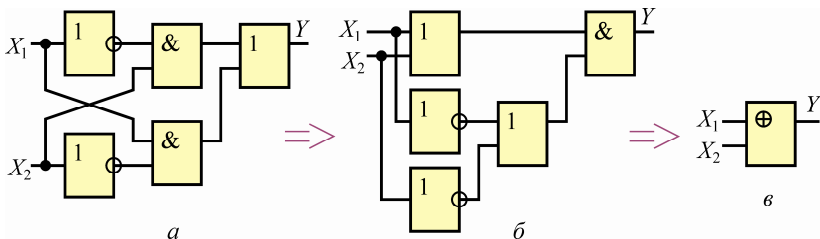


Рис. 2.9. Схема логического элемента **Исключающее ИЛИ**:

а – по алгоритму $Y = X_1 \cdot \bar{X}_2 + \bar{X}_1 \cdot X_2$;

б – по алгоритму $Y = (X_1 + X_2) \cdot (\bar{X}_1 + \bar{X}_2)$;

в – условное обозначение

Система логических элементов, включающая элементы **И**, **ИЛИ**, **НЕ**, достаточна для построения любых комбинационных логических устройств. Для синтеза логических структур во всех случаях необходим лишь разный количественный состав этих логических элементов, отличающихся числом входов каждого, или группы из нескольких элементов, выполняющих определённую логическую операцию, схемой соединения их между собой. Систему элементов, позволяющую синтезировать любую логическую структуру, называют *функционально полной системой логических элементов*.

Достаточность условия наличия трёх элементов **НЕ**, **И**, **ИЛИ** для синтеза логической структуры не является необходимой, поскольку полнота данной системы является избыточной. Как это следует из правила де Моргана, один логический элемент (**И** или **ИЛИ**) из системы можно исключить, сохранив её функциональную полноту. Например, основываясь на принципе двойственности булевой алгебры, можно вместо операции **ИЛИ**

(функции $Y = X_1 + X_2$) использовать операцию **И** над инверсными значениями переменных, а потом полученное значение дизъюнкции проинвертировать: $\overline{X_1 + X_2} = X_1 \cdot X_2 = \overline{X_1} \cdot \overline{X_2}$ (см. рис. 2.8, б). Количество используемых инверторов увеличивается, однако исключается один разнотипный логический элемент (элемент **ИЛИ**), что повышает унификацию схемных и конструктивных решений.*

Таким образом, системы, состоящие из двух логических элементов – **И**, **НЕ** либо **ИЛИ**, **НЕ** – также функционально полные системы, обеспечивающие возможность реализации любых логических структур.

Сокращение числа логических элементов, которые составляют функционально полную систему, можно довести до минимума, т.е. до одного логического элемента, если "двигаться" в направлении универсализации их функциональных возможностей. Поскольку в булевой алгебре существует принцип двойственности, то, как это следует из правила де Моргана, универсальных логических элементов, эквивалентных по своим возможностям функционально полной системе, должно быть два.

Выполнение любой из трёх базовых логических операций (**И**, **ИЛИ**, **НЕ**), дающих возможность синтеза любой логической структуры, обеспечивают два универсальных логических элемента: **И-НЕ** (элемент Шеффера) и **ИЛИ-НЕ** (элемент Пирса).

Логический элемент **И-НЕ** (табл. 2.7) реализует логическую функцию $Y = \overline{X_1 \cdot X_2}$. Эту функцию называют функцией **И-НЕ** (отрицание конъюнкции). Иногда её обозначают $Y = X_1 | X_2$ и называют штрихом Шеффера. Логический элемент **ИЛИ-НЕ** (табл. 2.8) реализует логическую функцию $Y = \overline{X_1 + X_2}$ (отрицание дизъюнкции). Иногда функцию **ИЛИ-НЕ** называют стрелкой Пирса и обозначают $Y = X_1 \downarrow X_2$. Условное изображение элементов Шеффера и Пирса на электрических принципиальных и функциональных схемах приведено на рис. 2.10, а, б.

* Операция **НЕ** реализуется на основе универсального логического элемента **И-НЕ** с любым числом входов, если один и тот же сигнал подавать на все его входы одновременно ($X \cdot X \cdot X \cdot \dots = X$), т.е. соединить их между собой. Совершенно аналогично операция **НЕ** реализуется на основе универсального логического элемента **ИЛИ-НЕ** ($X + X + X + \dots = X$).

Таблица 2.7

| X_2 | X_1 | Y |
|-------|-------|-----|
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

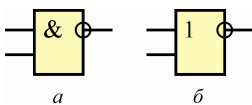
Рис. 2.10. Универсальные логические элементы: a – И-НЕ; b – ИЛИ-НЕ

Таблица 2.8

| X_2 | X_1 | Y |
|-------|-------|-----|
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 0 |

Пример 2.2. Синтезировать на логических элементах **2И-НЕ** схему, выполняющую операцию арифметического суммирования двух одноразрядных двоичных чисел X_1 и X_2 .

1. Результатов суммирования двух двоичных одноразрядных чисел всего четыре: $X_1 + X_2 = 0 + 0 = 0$; $0 + 1 = 1$; $1 + 0 = 1$; $1 + 1 = 10$. В последнем результате, когда сумма равна $10_2 = 2_{10}$, имеется *перенос* в старший разряд.

Результаты выполнения *логической* операции $Y = X_1 \cdot \overline{X_2} + \overline{X_1} \cdot X_2$ (см. табл. 2.6) показывают, что для выполнения *арифметических* операций с двоичными числами может быть использована функция **Исключающее ИЛИ**. Значения Y этой функции могут быть интерпретированы как результаты арифметической операции суммирования двух одноразрядных чисел, но со следующей оговоркой: при $X_1 = 1$ и $X_2 = 1$ результатом суммирования этих двоичных чисел является число 10_2 , поэтому помимо сигнала суммы $Y = S$, являющегося младшим значащим разрядом суммы, должен быть сформирован сигнал переноса P в старший разряд.

2. Составим таблицу истинности синтезируемой логической схемы, которая кроме значений суммы S должна содержать и значения сигнала переноса P (табл. 2.9).

Трём первым наборам соответствует сигнал переноса $P = 0$, поэтому функция формирования этого сигнала имеет вид $P = X_1 \cdot X_2$ – это функция **И**.

Таблица 2.9

| X_2 | X_1 | S | P |
|-------|-------|-----|-----|
| 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |

Пользуясь правилом двойного инвертирования ($\overline{\overline{X}} = X$) и правилом де Моргана $\overline{X_1 + X_2} = \overline{X_1} \cdot \overline{X_2}$, преобразуем логические функции $P = X_1 \cdot X_2$ и $S = X_1 \cdot \overline{X_2} + \overline{X_1} \cdot X_2$ к виду, удобному для построения схемы на логических элементах **2И-НЕ**:

$$P = X_1 \cdot X_2 = \overline{\overline{X_1 \cdot X_2}}$$

$$S = X_1 \cdot \overline{X_2} + \overline{X_1} \cdot X_2 = \overline{\overline{X_1 \cdot \overline{X_2}} \cdot \overline{\overline{X_1} \cdot X_2}}$$

Схема логического устройства, реализующего полученные алгоритмы, показана на рис. 2.11.

В одноразрядном арифметическом сумматоре не учитывается возможный перенос из младшего разряда, поэтому такую схему называют *полусумматором*. В полусумматоре на вход X подаётся двоичное число X_1 , а на вход Y – число X_2 .

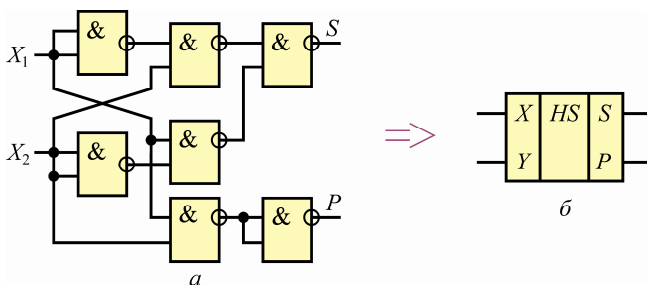


Рис. 2.11. Полусумматор:

a – схема на логических элементах **И-НЕ**;

\bar{b} – условное обозначение

Пример 2.3. Синтезировать схему логического устройства, в котором появление логической **1** на входе X_2 запрещает передачу сигнала с входа X_1 на выход Y .

1. В соответствии со словесным описанием алгоритма работы составим таблицу истинности синтезируемого логического устройства (табл. 2.10).

Если сигнал на входе X_1 равен логическому **0**, то, естественно, и на выходе логической схемы должен быть сигнал **0**, т.е. $Y=0$. Когда сигнал на входе X_1 равен логической **1**, то значение выходного сигнала зависит от значения сигнала на входе X_2 : при $X_2=0$ сигнал $X_1=1$ передаётся на выход, а сигнал $X_2=1$ запрещает передачу сигнала $X_1=1$ и, следовательно, $Y=0$.

Из таблицы истинности следует, что удобнее записать логиче-

Таблица 2.10

| X_2 | X_1 | Y |
|----------|----------|----------|
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 0 |
| 1 | 1 | 0 |

скую функцию в СДНФ, потому что в первой стандартной форме результирующая булева функция будет содержать всего одно логическое произведение:

$$Y = X_1 \cdot \bar{X}_2.$$

2. Логическая схема (рис. 2.12, *a*), выполняющая такую операцию, называется элементом **Запрет**. Вход X_1 элемента **Запрет** называется сигнальным входом, вход X_2 – входом запрета. Естественно, что элемент **Запрет** может быть реализован и на обоих универсальных логических элементах (рис. 2.12, *б*, *в*).

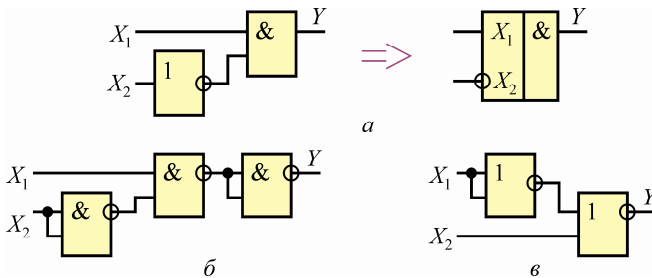


Рис. 2.12. Логический элемент **ЗАПРЕТ**:

a – схема и условное обозначение; *б* – схема на элементах Шеффера; *в* – схема на элементах Пирса

3. Вариант элемента **Запрет**, выполненный на логических элементах **2И-НЕ**, реализует булеву функцию

$$Y = \overline{\overline{X_1 \cdot X_2}} = X_1 \cdot \bar{X}_2,$$

а вариант, выполненный на логических элементах **2ИЛИ-НЕ**, – функцию

$$Y = \overline{\bar{X}_1 + X_2} = X_1 \cdot \bar{X}_2.$$

В обеих схемах первые элементы выполняют операцию **НЕ**, но второй вариант более простой: в нём не требуется второго инвертирования логического сигнала для получения Y .

Рассмотренные комбинационные схемы, входными сигналами которых являются только два логических сигнала, описываются довольно простыми логическими функциями и их синтез не представляет особого труда. Если входных сигналов у логи-

ческой схемы больше, её синтез усложняется в силу "утяжеления" описывающей алгоритм булевой функции. Даже в том случае, когда входных сигнала всего три, булева функция, записанная в СДНФ, может содержать до четырёх минтермов, каждый из которых имеет по три множителя.*

Пример 2.4. Синтезировать схему, выполняющую операцию арифметического суммирования двух одноразрядных двоичных чисел с учётом переноса из младшего разряда.

1. Как и в примере 2.2, рассмотрим результаты арифметического суммирования трёх одноразрядных двоичных чисел: X , Y – слагаемые, P_{i-1} – перенос из младшего разряда (табл. 2.11). Результаты суммирования (сумма S и перенос i -го разряда P_i) показывают, что они могут быть получены логическим путём, поэтому табл. 2.11 можно интерпретировать как таблицу истинности логической схемы, имеющей два выхода с сигналами S и P_i , и три входа, куда должны подаваться сигналы P_{i-1} , X и Y . Логическую функцию для сигналов S и P_i можно записать как в СДНФ, так и в СКНФ, поскольку истинные и неистинные значения поровну поделены между возможными наборами переменных P_{i-1} , X и Y .

2. Аналитически сигналы S и P_i в СДНФ записываются как

$$P_i = XY\overline{P_{i-1}} + \overline{X}Y P_{i-1} + X\overline{Y}P_{i-1} + XY P_{i-1}; \quad (2.3)$$

$$S = \overline{X}Y \overline{P_{i-1}} + X\overline{Y} \overline{P_{i-1}} + \overline{X}\overline{Y}P_{i-1} + XY P_{i-1}. \quad (2.4)$$

Из логических выражений (2.3) и (2.4) видно, что для построения синтезируемой схемы требуется три инвертора, восемь трёхвходовых конъюнкторов и два четырёхвходовых дизъюнктора. Однако, учитывая тот факт, что в обе функции входит один и тот же минтерм $XY P_{i-1}$, один из конъюнкторов можно использовать для формирования сигналов S и P_i .

Таблица 2.11

| P_{i-1} | X | Y | S | P_i |
|-----------|-----|-----|-----|-------|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

* Если число минтермов больше четырёх, то логическую функцию целесообразно записать во второй стандартной форме.

Логическое устройство, реализующее полученные алгоритмы, называется *одноразрядным сумматором* (рис. 2.13, а, б).

Одноразрядный сумматор может быть реализован и на основе двух полусумматоров (рис. 2.13, в).

Многоразрядный сумматор получается посредством последовательного соединения одноразрядных сумматоров (рис. 2.14). Когда одноразрядный сумматор используется в младшем разряде многоразрядного сумматора, то его вход P_{i-1} заземляется.

Максимальное время выполнения операции сложения двоичных чисел в такой схеме будет определяться временем прохождения возможного сигнала P_0 через все одноразрядные сумматоры, что ограничивает его быстродействие.

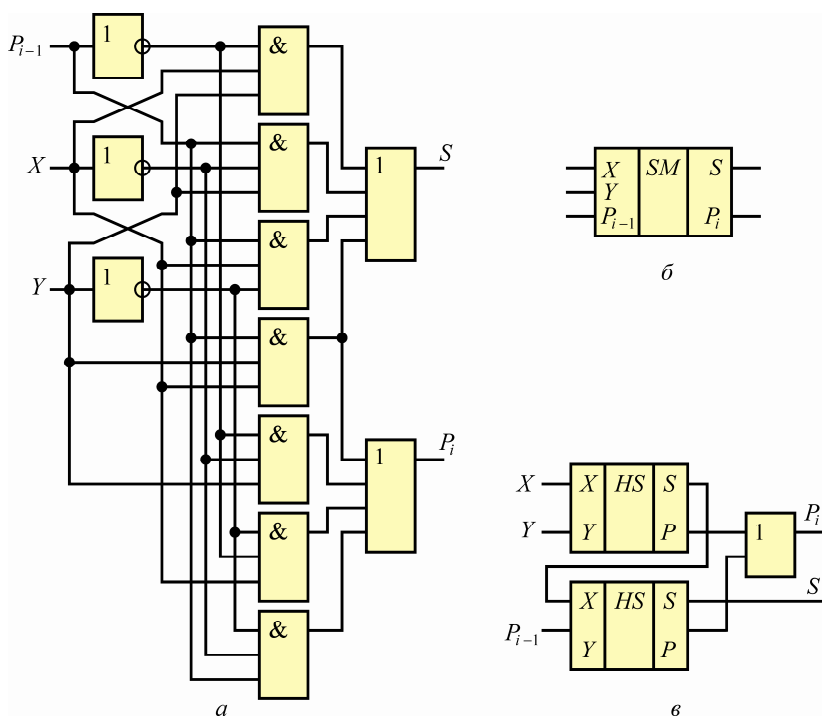


Рис. 2.13. Одноразрядный сумматор:
 а – логическая схема; б – условное обозначение;
 в – структура на основе полусумматора

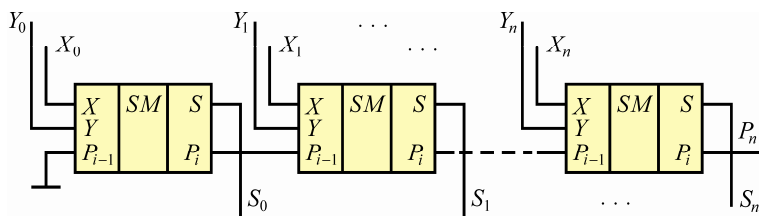


Рис. 2.14. Многоразрядный сумматор

2.4.2. Минимизация логических функций

Прямой способ синтеза логических структур на практике редко даёт приемлемый результат. Он обычно используется в тех случаях, когда число входных логических переменных невелико, либо когда число минтермов функции, записанной в СДНФ, мало, и поэтому схемная реализация очевидна. Логические функции используются и для описания алгоритма работы программируемой логики микропроцессорной аппаратуры. Как правило, разработчики программы логической части микропроцессорного устройства также не обращают внимания на сложность аналитического выражения по причине высокой производительности современных микропроцессоров, которые на логические операции, относящиеся к числу "быстрых" операций, затрачивают весьма незначительное время.

Прямой способ синтеза не является оптимальным с точки зрения числа используемых для её построения логических элементов и связей между ними. Дело в том, что полученную логическую функцию с помощью определённых приёмов, основанных на применении правил и теорем булевой алгебры, можно преобразовать в другие функции, тождественные в отношении получаемого результата. Для реализации этих функций требуется разное число логических элементов, а сами элементы должны быть соединены друг с другом по-своему. Следовательно, задача специалиста, разрабатывающего электронную аппаратуру, состоит не только в том, чтобы вообще создать логическое устройство, выполняющее заданный алгоритм, но и в том, чтобы из всех возможных вариантов выбрать наилучший, требующий для своей реализации меньшего числа логических элементов и более

простых соединений между собой. Тогда улучшаются не только технико-экономические (надёжность, масса, габариты, ...), но и обычные технические показатели проектируемой аппаратуры (например, быстродействие, так как сложные и длинные тракты прохождения логических сигналов обуславливают большее время формирования сигнала на выходе при переключениях устройства), поэтому целесообразно после получения аналитической формы записи логической функции $Y=f(X_1, X_2, \dots, X_n)$ осуществить её минимизацию в направлении поиска наиболее оптимального результата.

Алгебраический метод минимизации логических функций. Очевидным методом минимизации логических функций является последовательное использование законов и правил булевой алгебры. Такой метод называется *алгебраическим методом минимизации*. К типовым приёмам при алгебраической минимизации функций относятся [1]:

а) добавление одного или более однотипных минтермов из числа имеющихся в СДНФ (так как $X+X+\dots+X=X$, то прибавление к имеющемуся члену X функции $Y=f(X_1, X_2, \dots, X_n)$ одного или нескольких таких же членов не изменит самой функции;

б) умножение отдельных членов функции на сумму $\bar{X}+X$, где X может быть одной из переменных X_1, X_2, \dots, X_n или функцией этих переменных (так как $X+\bar{X}=1$, то умножение сохраняет тождественность исходного и полученного соотношений);

в) выделение слагаемых типа $X+\bar{X}$ путём применения распределительного закона (после представления суммы $\bar{X}Y+XY$ в виде двух сомножителей, один из которых имеет вид $\bar{X}+X$, выражение упростится, поскольку $\bar{X}+X=1$;

г) использование законов склеивания и поглощения.

После выполнения всех возможных преобразований получается функция, не имеющая избыточных членов и не поддающаяся дальнейшему упрощению. Такую форму записи булевой функции называют *тупиковой*. По тупиковой форме записи составляется требуемая логическая схема.

Пример 2.5. Синтезировать минимальную структуру одноразрядного арифметического сумматора, таблица истинности которого имеет вид, представленный в табл. 2.11.

1. Преобразуем логические функции (2.3) и (2.4):

$$\begin{aligned}
 P_i &= XY\overline{P_{i-1}} + \overline{X}Y P_{i-1} + X\overline{Y} P_{i-1} + XY P_{i-1} = XY\overline{P_{i-1}} + \overline{X}Y P_{i-1} + \underline{X\overline{Y} P_{i-1}} + \\
 &+ XY P_{i-1} + \underline{XY P_{i-1}} + \underline{XY P_{i-1}} = XY(\overline{P_{i-1}} + P_{i-1}) + Y P_{i-1}(\overline{X} + X) + \\
 &+ X P_{i-1}(\overline{Y} + Y) = XY + Y P_{i-1} + X P_{i-1} = XY + P_{i-1}(Y + X); \quad (2.5)
 \end{aligned}$$

$$\begin{aligned}
 S &= \overline{X}Y\overline{P_{i-1}} + X\overline{Y} P_{i-1} + \overline{X}\overline{Y} P_{i-1} + XY P_{i-1} = \overline{P_{i-1}}(\overline{X}Y + X\overline{Y}) + \\
 &+ P_{i-1}(\overline{X}\overline{Y} + XY). \quad (2.6)
 \end{aligned}$$

При преобразовании функции (2.3) к виду (2.5) вначале дважды добавлен минтерм $XY P_{i-1}$, затем три минтерма $XY P_{i-1}$ группировались с остальными тремя слагаемыми, в результате чего были выделены суммы $\overline{P_{i-1}} + P_{i-1}$, $\overline{X} + X$ и $\overline{Y} + Y$, которые позволили существенно упростить выражение, поскольку все они равны **1**.

При преобразовании функции (2.4) к виду (2.6) использовался распределительный закон. Сумма $\overline{X}Y + X\overline{Y}$, заключённая в скобки в первом члене функции (2.6), представляет собой логическую функцию полусумматора. Выражение $Y = \overline{X}Y + X\overline{Y}$ называют также операцией **Неравнозначность**. Сумма $XY + \overline{X}\overline{Y}$, заключённая в скобки во втором члене функции (2.6), представляет собой операцию **Равнозначность**.

Для построения схемы сумматора требуется три инвертора, семь двухвходовых конъюнкторов, пять двухвходовых дизъюнкторов (рис. 2.15).

Отметим, что сигнал P_i формируется так называемым *мажоритарным элементом* (схема голосования "два из трёх").

Сравнивая схемы рис. 2.15 и рис. 2.14, можно заметить, что проведенная минимизация оказалась не очень эффективной: количество логических элементов даже увеличилось, но все элементы **И** и **ИЛИ** имеют по два входа, поэтому в целом схема получилась несколько проще. При этом основные затраты логических элементов ушли на формирование сигнала S .

2. Выражения (2.5) и (2.6), далее не преобразовывающиеся, представляют собой *тупиковую форму* записи булевой функции. Но булева функция может иметь несколько тупиковых форм, которые получаются, если преобразования вести по-другому.

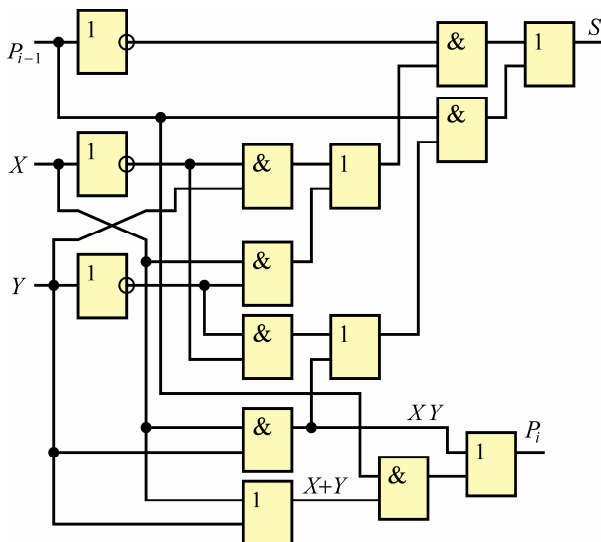


Рис. 2.15. Минимизированная схема одnorазрядного сумматора

Например, функции (2.5) и (2.6) можно преобразовать к виду

$$P_i = Y(X + P_{i-1}) + X P_{i-1}; \quad (2.7)$$

$$S = \bar{X}(Y \bar{P}_{i-1} + \bar{Y} P_{i-1}) + X(\bar{Y} \bar{P}_{i-1} + Y P_{i-1}); \quad (2.8)$$

$$P_i = X(Y + X P_{i-1}) + Y P_{i-1}; \quad (2.9)$$

$$S = Y(\bar{X} \bar{P}_{i-1} + X P_{i-1}) + \bar{Y}(X \bar{P}_{i-1} + \bar{X} P_{i-1}). \quad (2.10)$$

Однако ни выражения (2.7) и (2.8), ни (2.9) и (2.10) не позволяют получить более простую схему сумматора, поскольку по своей структуре они идентичны ранее полученным минимизированным функциям (2.5) и (2.6).

Дальнейшее преобразование полученной тупиковой формы можно проводить уже по критерию имеющихся в наличии логических элементов и обычно проводится для того, чтобы выполнить проектируемую схему на элементах одного типа.

Метод карт Карно. Минимизация логических функций алгебраическим методом требует определённого навыка. Далекo не всегда очевидно, что полученная форма является тупиковой,

иногда трудно определить и склеивающиеся переменные. Метод *карт Карно* позволяет автоматизировать поиск склеивающихся переменных, облегчая поиск тупиковой формы.

Карта Карно – это таблица, имеющая ячейки (клетки) для всех возможных минтермов функции. Каждая клетка имеет определённый номер в виде двоичного числа, причём номера клеток, расположенных рядом, должны различаться только одним из разрядов. Номера клеток должны учитывать все комбинации между значениями логических переменных. Для примера на рис. 2.16 приведена нумерация клеток карты Карно для четырёх переменных, где по горизонтали клетки кодируются переменными X_1 и X_2 , а по вертикали – X_3 и X_4 . В скобках даны десятичные номера клеток, показывающие нарушение очередности нумерации клеток, обусловленные указанными выше требованиями к нумерации.

| $X_4 X_3 \backslash X_2 X_1$ | 00 | 01 | 11 | 10 |
|------------------------------|--------------|--------------|--------------|--------------|
| 00 | 0000 (0) | 0001 (1) | 0011 (3) | 0010 (2) |
| 01 | 0100 (4) | 0101 (5) | 0111 (7) | 0110 (6) |
| 11 | 1100 (12) | 1101 (13) | 1111 (15) | 1110 (14) |
| 10 | 1000 (8) | 1001 (9) | 1011 (11) | 1010 (10) |

Рис. 2.16. Кодировка клеток карты Карно для четырёх переменных

Если какой-то из этих минтермов в СДНФ функции присутствует, то в соответствующей клетке карты Карно ставится **1**; если какого-то минтерма в полученной функции нет, то – **0**. Затем по значениям **1** определяются так называемые *соседние* клетки. Соседними считаются **1**, расположенные в клетках, находящихся рядом по горизонтали или по вертикали, а также **1**, находящиеся в клетках крайнего левого и правого столбцов, расположенные в одной строке, или **1**, находящиеся в клетках верхнего и нижнего рядов, расположенные в одном столбце.

Если соседними оказались две клетки, то в результирующей логической функции записывается одно слагаемое, у которого на одну переменную меньше, чем у двух минтермов, соответствующих соседним клеткам, т.е. "исчезает" та переменная, которая при "переходе" из клетки в клетку изменяет свое значение. Если соседними оказались четыре клетки, то в результирующей логической функции записывается также одно слагаемое, у которого на две переменные меньше, чем у четырёх минтермов, соответствующих соседним клеткам (здесь "исчезают" также те переменные, которые при "переходе" из клетки в клетку изменяют свое значение). Если соседними оказались восемь клеток, то в результирующей логической функции записывается одно слагаемое, у которого на три переменные меньше, чем у восьми исходных минтермов, соответствующих соседним клеткам. Наконец, если соседними оказались шестнадцать клеток, то в результирующей логической функции записывается одно слагаемое, у которого на четыре переменные меньше, чем у восьми исходных минтермов, соответствующих соседним клеткам, и т.д.

Таким образом, карта Карно автоматизирует процедуру поиска "склеивающихся" переменных, что способствует упрощению конечного логического выражения.

Пример 2.6. Минимизировать с помощью карты Карно логическую схему одноразрядного сумматора.

1. Составим карты Карно для сигналов S и P_i . Эти карты должны иметь по восемь клеток, в каждую из которых проставляется соответствующее минтерму значение функции (рис. 2.17).

В карте Карно для сигнала S соседних клеток нет, поэтому минимизация может быть проведена только алгебраически, что и было выполнено ранее. В карте Карно для сигнала P_i соседних клеток три пары, причём клетка с номером 111 (7) оказалась соседней три раза*. Указанный факт предоставляет возможность выполнить "склеивание" минтермов, соответствующих соседним клеткам, трижды, тогда

$$P_i = XY + YP_{i-1} + XP_{i-1}.$$

* Тот факт, что одна и та же клетка оказалась соседней трижды, эквивалентен при алгебраическом методе минимизации целесообразности двукратного добавления минтерма, соответствующего этой клетке.

| | | | | |
|-----------|----|----|----|----|
| XY | 00 | 01 | 11 | 10 |
| P_{i-1} | 0 | 1 | 0 | 1 |
| | 1 | 1 | 0 | 1 |

| | | | | |
|-----------|----|----|----|----|
| XY | 00 | 01 | 11 | 10 |
| P_{i-1} | 0 | 0 | 1 | 0 |
| | 1 | 0 | 1 | 1 |

Рис. 2.17. Карты Карно для сигналов S и P_i

2. Функция $P_i = XY + YP_{i-1} + XP_{i-1}$ при прямой алгебраической минимизации была получена лишь после нескольких шагов минимизации, поэтому дальнейшая алгебраическая минимизация, которая позволяет получить выражения (2.5), (2.7) или (2.9), выполняется заметно проще.

Таким образом, метод карт Карно, как правило, не даёт сразу минимальный результат, но без промежуточных вычислений формально определяет тот вариант логической функции, который легче может быть доведён до тупиковой формы.

Карта Карно для пяти (рис. 2.18) и более переменных, изображённая в координатах x и y , неудобна в отношении определения склеивающихся минтермов, поскольку не даёт наглядного представления о "соседстве" клеток с номерами, характеризующимися произведением логических переменных, образующих минтермы.

| | | | | | | | | |
|-------------|-----|-----|-----|-----|-----|-----|-----|-----|
| $X_3X_2X_1$ | 000 | 001 | 011 | 010 | 110 | 111 | 101 | 100 |
| X_5X_4 | 00 | 01 | 11 | 10 | 24 | 25 | 27 | 26 |
| | 08 | 09 | 11 | 10 | 14 | 15 | 13 | 12 |
| | 24 | 25 | 27 | 26 | 30 | 31 | 29 | 28 |
| | 16 | 17 | 19 | 18 | 22 | 23 | 21 | 20 |

Рис. 2.18. Карта Карно для пяти переменных

Рекомендуется в карте Карно для пяти и более переменных выделять вертикальную и горизонтальную оси симметрии, относительно которых и определяются соседние клетки. Так, в карте Карно, показанной на рис. 2.18, соседними могут оказаться две клетки с номерами 25 и 29 (разумеется, клетка с номером 25 может быть соседней с клетками с номерами 9, 17, 24, 27, а клетка с номером 29 – с клетками с номерами 13, 21, 28, 31). В тоже время две клетки с номерами 27 и 31 также могут оказаться соседними. Тогда соседними становятся уже четыре клетки с номерами 25, 27, 29, 31. Но две клетки с номерами 25 и 31, несмотря на то, что находятся в одной строке карты Карно, соседними, конечно же, быть не могут.

2.4.3. Использование факультативных условий при минимизации логических функций

Факультативные условия неопределённых логических функций подразумевают лишь теоретическую возможность существования какого-то набора, который в реальной схеме сформироваться не может. Однако в реальной схеме, если искусственно создать этот набор, ему могут соответствовать только два значения функции – **0** или **1**. В ряде случаев указанное позволяет весьма эффективно использовать факультативные условия для минимизации логических функций, так как разработчик вправе для факультативного набора задать то из двух значений, которое создаёт лучшие условия для склеивания минтермов.

Пример 2.7. Синтезировать минимальную структуру логической части электронного устройства, входными сигналами которой являются три сигнала (X_1, X_2, X_3), поступающие от реле тока, а один (t_2) – от реле времени, которое запускается по сигналу $X_2=1$ и через заданную выдержку времени подаёт сигнал $t_2=1$. К логической части предъявляются следующие требования: когда $X_1=X_2=X_3=0$ или $X_1=X_2=0, X_3=1$, или $X_3=X_2=1, X_1=0$, на выходе должен удерживаться сигнал $Y=0$; при $X_1=X_2=X_3=1$ и $X_2=t_2=X_3=1$ на выходе должен формироваться сигнал $Y=1$.

1. Булева функция задана только на пяти наборах из шестнадцати возможных, т.е. является неопределённой (табл. 2.12).

Составим карту Карно для этой функции (рис. 2.19). Клетки карты Карно, в которых записаны единицы, не являются соседними. Если не пользоваться факультативными условиями (полагать, что сигнал Y должен быть равен **1** только в двух упомянутых случаях), то функция, описывающая алгоритм работы логической части электрического аппарата, принимает вид

$$Y = X_1 X_2 \bar{t}_2 X_3 + \bar{X}_1 X_2 t_2 X_3 = X_2 X_3 (X_1 \bar{t}_2 + \bar{X}_1 t_2).$$

Для аппаратной реализации полученного выражения на ИМС требуется либо по два элемента **НЕ** и **4И** и один элемент **2ИЛИ**, либо по два элемента **НЕ** и **2И** и по одному элементу **2ИЛИ** и **3И**. При использовании электромеханической элементной базы необходимо, чтобы реле времени и одно из трёх реле тока были с замыкающим и размыкающим контактами.

| | | | | |
|-----------|----|----|----|----|
| $X_2 X_1$ | 00 | 01 | 11 | 10 |
| $X_3 t_2$ | 00 | 0 | ~ | ~ |
| 01 | ~ | ~ | ~ | ~ |
| 11 | ~ | ~ | ~ | 1 |
| 10 | 0 | ~ | 1 | 0 |

Рис. 2.19. Карта Карно для функции с временным параметром

2. Использование факультативных условий даёт возможность формирования двух групп из восьми соседних клеток, обеспечивая весьма эффективное склеивание минтермов и получение максимально оптимизированной функции:

$$Y = X_1 + t_2.$$

Таблица 2.12

| X_3 | t_2 | X_2 | X_1 | Y |
|-------|-------|-------|-------|-----|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | ~ |
| 0 | 0 | 1 | 0 | ~ |
| 0 | 0 | 1 | 1 | ~ |
| 0 | 1 | 0 | 0 | ~ |
| 0 | 1 | 0 | 1 | ~ |
| 0 | 1 | 1 | 0 | ~ |
| 0 | 1 | 1 | 1 | ~ |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | ~ |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | ~ |
| 1 | 1 | 0 | 1 | ~ |
| 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | ~ |

Минимизированная функция намного проще, чем предыдущая. Для её реализации требуется только элемент **2ИЛИ**. Для электромеханического варианта не требуются ни одного реле с размыкающими контактами.

2.5. АСИНХРОННЫЕ ТРИГГЕРЫ НА УНИВЕРСАЛЬНЫХ ЛОГИЧЕСКИХ ЭЛЕМЕНТАХ

Универсальные логические элементы **И-НЕ** и **ИЛИ-НЕ** получили очень широкое распространение, поскольку позволяют выполнять разнообразные логические схемы, в том числе и триггерные, на одностипных элементах.

Триггеры на универсальных логических элементах можно разделить на две группы: асинхронные и синхронные.

Асинхронные триггеры переключаются под воздействием только управляющих импульсов. Входной (запускающий) сигнал $S=1$ (от англ. *set* – включить) устанавливает триггер в состояние $Q=1$ (Q – выходной сигнал), сигнал $R=1$ (от англ. *reset* – выключить) – в состояние $Q=0$. При анализе работы триггера для сигналов S , R , Q следует различать две совокупности значений: S_n , R_n , Q_n и S_n , R_n , Q_{n+1} . Первая соответствует состоянию триггера в момент поступления входной комбинации S_n , R_n , а вторая – состоянию триггера, полученному в результате воздействия сигналов S_n , R_n (это так называемые n -й и $n+1$ такты работы триггера), так как состояние триггера на $n+1$ такте зависит и от входных сигналов S_n , R_n , и от предыдущего состояния триггера.

Работа триггерных схем описывается посредством *таблицы переключений* (табл. 3.13). При её "заполнении" используются положения, следующие из принципа работы триггера: если $S_n=0$, $R_n=0$, то состояние триггера не изменяется: $Q_{n+1}=0$, если $Q_n=0$; $Q_{n+1}=1$, если $Q_n=1$; комбинация $S_n=1$ и $R_n=0$ вызывает переключение триггера, если $Q_n=0$, т.е. $Q_{n+1}=1$, но не изменяет его состояние, если $Q_n=1$; комбинация $S_n=0$ и $R_n=1$ вызывает переключение триггера, если $Q_n=1$, т.е. $Q_{n+1}=0$, но не изменяет состояние триггера, если $Q_n=0$. Комбинация $S_n=R_n=1$ соответствует наличию управляющих сигналов на обоих входах, поэтому состояние триггера считается неопределённым.

Таблица 2.13

| S_n | R_n | Q_n | Q_{n+1} |
|-------|-------|-------|-----------|
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | X |
| 1 | 1 | 1 | X |

Таблице переключений асинхронных триггеров соответствует карта Карно, в которой комбинация $S_n = R_n = 1$ даёт столбец неопределённости: $Q_{n+1} = X$ при $Q_n = 0$ и $Q_n = 1$ (рис. 2.20).

| $Q_n \backslash S_n, R_n$ | 00 | 01 | 11 | 10 |
|---------------------------|----|----|----|----|
| 0 | 0 | 0 | X | 1 |
| 1 | 1 | 0 | X | 1 |

Рис. 2.20. Карта Карно асинхронных триггеров

По правилам минимизации логических функций с факультативными условиями столбец неопределённости можно заменить одной из четырёх возможных комбинаций: 00, 11, 10, 01.

RS-триггер с прямыми входами получается, если столбец неопределённости заполняется сочетанием 00 (рис. 2.21, а). Выделяя истинные минтермы, минимальную форму записи логической функции, отображённой на рис. 2.21, а, представим в виде

$$Q_{n+1} = S_n \overline{R_n} + Q_n \overline{R_n} \quad (2.11)$$

Уравнение (2.11) можно преобразовать:

$$Q_{n+1} = \overline{R_n} (S_n + Q_n) = \overline{\overline{\overline{R_n}} (S_n + Q_n)} = \overline{\overline{R_n} (S_n + Q_n)} = R_n + \overline{(S_n + Q_n)}. \quad (2.12)$$

Полученное выражение проще всего реализуется с применением универсальных элементов **2ИЛИ-НЕ** (рис. 2.21, б).

| $Q_n \backslash S_n, R_n$ | 00 | 01 | 11 | 10 |
|---------------------------|----|----|----|----|
| 0 | 0 | 0 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |

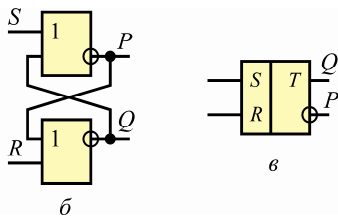


Рис. 2.21. RS-триггер с прямыми входами:

а – карта Карно; б – схема; в – условное обозначение

Схема триггера, представленная на рис. 2.21, б, симметрична и имеет два выхода – Q и P , первый из которых – прямой выход триггера, а второй – инверсный: $P = \overline{Q}$. Для анализа функционирования триггера запишем логические уравнения для обоих его выходов:

$$Q = \overline{R + P} = \overline{R} \cdot \overline{P}; \quad P = \overline{S + Q} = \overline{S} \cdot \overline{Q}.$$

Полученные уравнения называются *уравнениями возбуждения* триггера. Они могут использоваться для выявления устойчивых состояний триггера в процессе его переключений при различных входных наборах.

Для анализа устойчивости режимов работы RS -триггера составим обобщённую карту Карно (рис. 2.22), в которой в качестве входных сигналов учитываются не только управляющие сигналы, но и возможные сочетания выходных сигналов, которые уже имеются (Q_n, P_n) или могут сложиться (Q_{n+1}, P_{n+1}) в процессе переключения триггера.

В обобщённой карте Карно значения Q_{n+1}, P_{n+1} записаны в каждой клетке в том же сочетании, что и при записи аргументов Q_n, P_n в строках таблицы.

Из всех возможных комбинаций устойчивых сочетаний выходных сигналов Q и P сочетания $Q_{n+1} = \mathbf{1}, P_{n+1} = \mathbf{1}$ или $Q_{n+1} = \mathbf{0}, P_{n+1} = \mathbf{0}$ принципиально должны быть исключены, так как для них не выполняется требование взаимной инверсности выходных сигналов Q и P .

Из обобщённой карты Карно следует, что устойчивое сочетание сигналов $Q_{n+1} = \mathbf{1}, P_{n+1} = \mathbf{1}$ невозможно независимо от $S_n = \mathbf{0}$ и $R_n = \mathbf{0}$, поскольку для такой комбинации нет соответствующего сочетания Q_n и P_n .

Устойчивыми сочетаниями сигналов Q_{n+1} и P_{n+1} должны быть признаны те, которые имеют аналогичные сочетания

| $S_n R_n$ \ $Q_n P_n$ | 00 | 01 | 11 (XX) | 10 |
|-----------------------|------|------|------------|------|
| 00 | 11 | 01 | (00) | 10 |
| 01 | [01] | [01] | {00} | 00 |
| 11 | 00 | 00 | (00) | 00 |
| 10 | [10] | 00 | {00} | [10] |

Рис. 2.22. Обобщённая карта Карно для RS -триггера с прямыми входами

в строках аргументов: два – во второй строке ($Q_{n+1}=0, P_{n+1}=1$) и два – в четвёртой строке ($Q_{n+1}=1, P_{n+1}=0$). Однако устойчивым состоянием является сочетание $Q_{n+1}=0, P_{n+1}=0$ для управляющих сигналов $S_n=1, R_n=1$ при всех возможных комбинациях Q_n и P_n , хотя две из этих комбинаций ($Q_n=0, P_n=1$ и $Q_n=1, P_n=0$) реальны, а две ($Q_n=0, P_n=0$ и $Q_n=1, P_n=1$) виртуальны. Остальные сочетания сигналов Q_{n+1} и P_{n+1} следует признать неустойчивыми, поскольку для них нет совпадающей комбинации аргументов Q_n и P_n , причём для пяти из семи ещё и не выполняется условие инверсности выходных сигналов триггера.

Из анализа следует, что комбинация сигналов $S_n=1, R_n=1$ должна быть запрещена (это выполняется при условии $S_n R_n=0$). Тогда логика работы RS -триггера с прямыми входами такова: при $S_n=0, R_n=0$ триггер сохраняет сигналы, которые были в него записаны в предыдущем такте работы; комбинация $S_n=1, R_n=0$ устанавливает триггер в единственное устойчивое состояние $Q_{n+1}=1, P_{n+1}=0$, а $R_n=1, S_n=0$ устанавливает триггер в другое устойчивое состояние – $Q_{n+1}=0, P_{n+1}=1$.

RS-триггер с инверсными входами может быть получен, если столбец неопределённости в карте Карно заполнить сочетанием 11 (рис. 2.23, а). Проведя минимизацию функции, отображаемой картой Карно, для истинных значений имеем

$$Q_{n+1} = S_n + Q_n \overline{R_n}. \quad (2.13)$$

Используя правило де Моргана, преобразуем логическое выражение (2.13) к виду

$$Q_{n+1} = \overline{\overline{S_n} \overline{Q_n} R_n}. \quad (2.14)$$

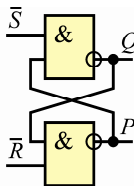
Выражение (2.14) проще всего реализуется на логических элементах **2И-НЕ** (рис. 2.23, б). Для анализа функционирования триггера, выполненного по схеме рис. 2.23, б, запишем его уравнения возбуждения:

$$Q = \overline{\overline{S} \cdot \overline{P}} = S + \overline{P}; \quad P = \overline{\overline{R} \cdot \overline{Q}} = R + \overline{Q}.$$

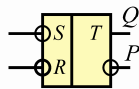
Составим обобщённую карту Карно для RS -триггера, выполненного по схеме рис. 2.23, б.

| | | | | |
|------------|----|----|----|----|
| S_n, R_n | 00 | 01 | 11 | 10 |
| Q_n | | | | |
| 0 | 0 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 |

а



б



в

Рис. 2.23. RS-триггер с инверсными входами:
а – карта Карно; б – схема; в – условное обозначение

| | | | | |
|-----------|------|------|---------|------|
| $S_n R_n$ | 00 | 01 | 11 (XX) | 10 |
| $Q_n P_n$ | | | | |
| 00 | 11 | 11 | (11) | 11 |
| 01 | [01] | [01] | {11} | 11 |
| 11 | 00 | 01 | (11) | 10 |
| 10 | [10] | 11 | {11} | [10] |

Рис. 2.24. Обобщённая карта Карно для RS-триггера с инверсными входами

Из обобщённой карты Карно (рис. 2.24) следует, что устойчивое сочетание выходных сигналов $Q_{n+1}=0, P_{n+1}=0$ невозможно независимо $S_n=0$ и $R_n=0$, поскольку для такой комбинации нет подобного сочетания сигналов Q_n и P_n .

Из всех возможных комбинаций сигналов Q_{n+1} и P_{n+1} устойчивыми являются по два во второй строке ($Q_{n+1}=0, P_{n+1}=1$) и четвёртой ($Q_{n+1}=1, P_{n+1}=0$). Несмотря на требование инверсности сигналов Q и P , устойчивым сочетанием является также $Q_{n+1}=P_{n+1}=1$ для управляющих сигналов $S_n=1, R_n=1$ при всех возможных комбинациях Q_n и P_n , хотя две из них ($Q_n=0, P_n=1$ и $Q_n=1, P_n=0$) реальны, а две ($Q_n=0, P_n=0$ и $Q_n=1, P_n=1$) виртуальны. Остальные семь сочетаний сигналов Q_{n+1} и P_{n+1} следует признать неустойчивыми, поскольку для них нет совпадающей комбинации аргументов Q_n и P_n (для пяти к тому же не выполняется условие инверсности выходных сигналов).

Таким образом, комбинация сигналов $S_n=1, R_n=1$ должна быть запрещена, что выполняется при условии $S_n R_n=0$. Тогда логика работы RS-триггера с инверсными входами такова: при $S_n=0, R_n=0$ триггер сохраняет сигналы, которые были в него записаны в предыдущем такте работы; комбинация $S_n=1, R_n=0$

устанавливает триггер в единственное устойчивое состояние $Q_{n+1}=1, P_{n+1}=0$, а $R_n=1, S_n=0$ устанавливает триггер в другое устойчивое состояние – $Q_{n+1}=0, P_{n+1}=1$.

E-триггер может быть получен, если столбец неопределенности в карте Карно (рис. 2.25, а) заменяется сочетанием 01. Тогда в карте Карно имеется три пары соседних клеток. Следовательно,

$$Q_{n+1} = S_n \overline{R_n} + S_n Q_n + Q_n \overline{R_n}. \quad (2.15)$$

Преобразуя по правилу де Моргана функцию (2.15), получим

$$Q_{n+1} = S_n \overline{R_n} + Q_n (S_n + \overline{R_n}) = \overline{\overline{S_n R_n Q_n S_n R_n}}. \quad (2.16)$$

Схема триггера, реализующего функцию (2.16) на логических элементах **2И-НЕ**, и его условное обозначение представлены на рис. 2.25, б, в (первые два каскада играют роль инверторов для получения сигналов $\overline{S_n}, \overline{R_n}$).

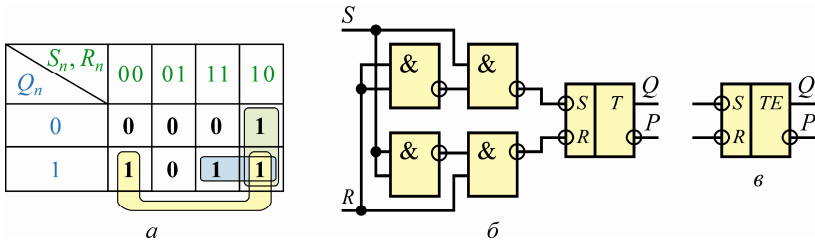


Рис. 2.25. *E*-триггер на универсальных логических элементах **2И-НЕ**: а – карта Карно; б – схема; в – условное обозначение

Уравнения возбуждения триггера

$$Q = \overline{\overline{P \cdot S \cdot R}} = \overline{P + S \cdot \overline{R}}; \quad P = \overline{\overline{Q \cdot R \cdot S}} = \overline{Q + R \cdot \overline{S}}.$$

Карта Карно, составленная в соответствии с уравнениями возбуждения (рис. 2.26), показывает, что *E*-триггер имеет шесть устойчивых сочетаний сигналов Q_{n+1} и P_{n+1} . В то же время запретные сочетания $Q_{n+1}=0, P_{n+1}=0$ или $Q_{n+1}=1, P_{n+1}=1$ всегда неустойчивы, поэтому *E*-триггер не имеет запретных комбинаций управляющих сигналов.

| $S_n R_n$ \ $Q_n P_n$ | 00 | 01 | 11 (XX) | 10 |
|-----------------------|------|------|------------|------|
| 00 | 11 | 11 | 11 | 11 |
| 01 | [01] | [01] | [01] | 11 |
| 11 | 00 | 01 | 00 | 10 |
| 10 | [10] | 11 | [10] | [10] |

Рис. 2.26. Обобщённая карта Карно для E -триггера

то триггер всегда будет переключаться в состояние $Q_{n+1}=0$, $P_{n+1}=1$. При $S_n=1$, $R_n=1$ возможны два устойчивых состояния: $Q_{n+1}=0$, $P_{n+1}=1$, если было $Q_n=0$, $P_n=1$, и $Q_{n+1}=1$, $P_{n+1}=0$, если было $Q_n=1$, $P_n=0$. Следовательно, E -триггер в режиме присутствия на входах S и R логической 1 всегда сохраняет то состояние, в котором он оказался в результате воздействия управляющих сигналов в предыдущем такте работы. Например, если триггер был в состоянии $Q_{n+1}=1$, $P_{n+1}=0$ управляющей комбинацией $S_n=1$, $R_n=0$ относительно большой длительности, но на интервале присутствия управляющего воздействия сигнал R_n подвергся кратковременному помеховому изменению, то состояние триггера не должно измениться. Изменение возможно лишь при синхронном противоположном помеховом изменении сигнала S_n либо при снятии сигнала $S_n=1$ с входа триггера.

JK -триггер может быть получен, если столбец неопределённости в карте Карно заполнить сочетанием 10 (рис. 2.27, а). Тогда минимальная форма булевой функции триггера

$$Q_{n+1} = S_n \overline{Q_n} + Q_n \overline{R_n}. \quad (2.17)$$

JK -триггер, как правило, выполняется *двухтактным* – на двух RS -триггерах с инверсными входами и на вспомогательных элементах **И-НЕ** (рис. 2.27, б). "Внутренние" RS -триггеры двухтактного JK -триггера имеют собственные входы R и S , на которые

Когда $S_n=0$, $R_n=0$, триггер оказывается в одном из двух состояний ($Q_{n+1}=0$, $P_{n+1}=1$ или $Q_{n+1}=1$, $P_{n+1}=0$) в зависимости от того, в какое состояние триггер был установлен в предыдущем такте работы. Если на входах устанавливается комбинация $S_n=1$, $R_n=0$, то триггер всегда будет переключаться в состояние $Q_{n+1}=1$, $P_{n+1}=0$. Если же на входах устанавливается комбинация $S_n=0$, $R_n=1$,

подаются сигналы S_1, R_1 и S_2, R_2 . Чтобы различить внутренние и внешние сигналы S и R , внешние обозначают соответственно как J и K . Тогда функцию (2.17) можно записать в виде

$$Q_{n+1} = J_n \bar{Q}_n + Q_n \bar{K}_n, \quad (2.18)$$

а обобщённую таблицу переключений асинхронных триггеров представить в более компактном виде (табл. 2.14).

Из табл. 2.14 следует, что комбинация входных сигналов $J=1, K=1$ изменяет состояние JK -триггера на противоположное: $Q_{n+1} = \bar{Q}_n$, поэтому JK -триггер не имеет запрещённых сочетаний входных сигналов. Данное свойство триггера является очень важным: JK -триггер благодаря ему может работать в счётном режиме. Для обеспечения счётного режима следует объединить управляющие входы J и K .

Таблица 2.14

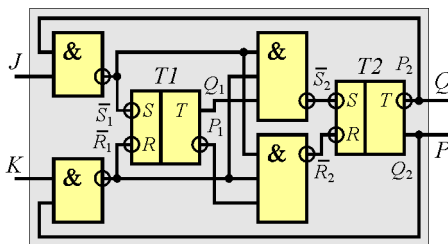
| J_n | K_n | Q_{n+1} |
|-------|-------|-------------|
| 0 | 0 | Q_n |
| 0 | 1 | 0 |
| 1 | 0 | 1 |
| 1 | 1 | \bar{Q}_n |

Работающий в счётном режиме JK -триггер называют (от англ. *toggle* – кувыркаться) T -триггером.

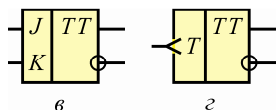
Условное обозначение двухтактного JK -триггера и T -триггера приведено на рис. 2.27, в, г.

| $Q_n \backslash S_n, R_n$ | 00 | 01 | 11 | 10 |
|---------------------------|----|----|----|----|
| 0 | 0 | 0 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 |

а



б



в

г

Рис. 2.27. JK -триггер на элементах И-НЕ:

а – карта Карно; б – схема;

в – условное обозначение;

г – условное обозначение T -триггера

По причине, что JK -триггер при раздельном использовании управляющих входов работает как обычный RS -триггер, а при их объединении как T -триггер, его называют универсальным.

Пример 2.8. Построить временные диаграммы работы и определить частоту изменения выходного сигнала T -триггера, если его входное напряжение $u_{\text{вх}}$ представляет собой однополярные прямоугольные импульсы, следующие с периодичностью $\tau_{\text{вх}}$.

1. Пусть до начала поступления на вход триггера импульсов $u_{\text{вх}}$ на его выходе удерживался сигнал $Q=0$. Тогда в соответствии с табл. 2.13 в момент поступления на вход триггера первого импульса он изменит своё состояние на $Q=1$ (рис. 2.28), поскольку при $J_n=K_n=1$ $Q_{n+1}=\overline{Q}_n$. На всём протяжении существования импульса $u_{\text{вх}}$ триггер будет сохранять своё состояние. После того как $u_{\text{вх}}$ изменится с высокого уровня на низкий и в оставшийся до окончания периода интервал $u_{\text{вх}}$ останется неизменным, триггер сохранит состояние $Q=1$.

2. В момент поступления второго импульса триггер вновь изменит своё состояние на противоположное, но теперь с $Q=1$ на $Q=0$, и на всём протяжении существования второго импульса

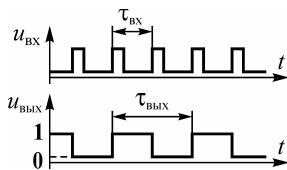


Рис. 2.28. Диаграммы работы T -триггера

$u_{\text{вх}}$ будет сохранять это состояние. Изменение $u_{\text{вх}}$ с высокого уровня на низкий не изменит состояние $Q=1$, и т.д.

3. Таким образом, период изменения выходного напряжения триггера $\tau_{\text{ввх}}=2\tau_{\text{вх}}$ и он выполняет роль делителя на два частоты изменяющегося периодически импульсного сигнала $u_{\text{вх}}$.

2.6. СИНХРОННЫЕ ТРИГГЕРЫ

Конечное время переключения интегральных логических элементов обуславливает "состязания" сигналов в переходных режимах, когда из-за задержек поступления информации выходной сигнал логического элемента на некоторое время принимает ложное значение. Этот сигнал может быть "подхвачен" последовательностными элементами логической схемы, что может привести к сбоям в её работе.

Устранить влияние ошибок, которые возникают из-за состязаний сигналов в логических цепях, можно путём введения *синхронизации* (или *временного стробирования*).

Временное стробирование наиболее просто реализуется схемами **И** или **И-НЕ**, когда в течение времени стробирования на один вход схемы **И** подается импульс синхронизации, а на другой – сигнал логического устройства.

Триггеры, работающие с использованием синхронизирующих импульсов, называют *синхронными* или *тактируемыми*.

Синхронный RS-триггер (рис. 2.29) проще всего строится на основе асинхронного RS-триггера с инверсными входами. В соответствии с выражением (2.13) и рис. 2.29, а логическая функция синхронного RS-триггера может быть записана как

$$Q_{n+1} = C_n S_n + Q_n \overline{C_n R_n}, \quad (2.19)$$

где C_n – синхронизирующий импульс.

Диаграммы, поясняющие работу синхронного RS-триггера, приведены на рис. 2.29, в.

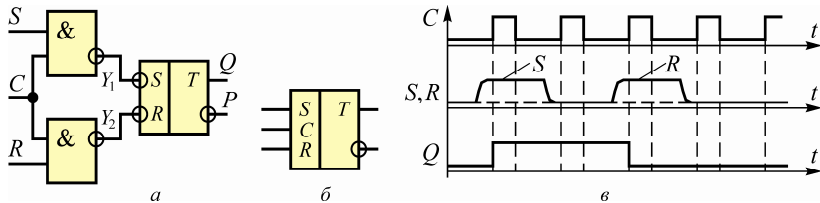


Рис. 2.29. Синхронный RS-триггер:

а – структура; б – условное обозначение; в – диаграммы работы

D-триггер относится к триггерам задержки (от англ. *delay* – задержка). Информационное значение сигнала у *D*-триггера на выходе на $(n+1)$ -м такте равно значению сигнала на входе на n -м такте: $Q_{n+1} = D_n$, т.е. входной сигнал передается на выход с задержкой в один такт. Соотношение $Q_{n+1} = D_n$ можно получить из выражения (2.13), если переменную S заменить на D , а переменную R – на её инверсию, т.е. $Q_{n+1} = D_n + Q_n D_n = D_n (1 + Q_n) = D_n$. Следовательно, *D*-триггер получается из RS-триггера с инверсными входами, если на вход S подать сигнал D , а на вход R – тот же сигнал через инвертор. Но такой триггер смысла не имеет, так как вырождается в два последовательно включённых инвертора (инверторы требуются для получения инверсного выхода).

Обычно D -триггер выполняется синхронным. При отсутствии синхронизирующего импульса ($C_n=0$) на выходе синхронного D -триггера сохраняется предыдущее состояние. С появлением синхронизирующего импульса ($C_n=1$) на выход триггера передается сигнал, присутствующий на входе D в предыдущем такте, т.е. при $C_n=0$ $Q_{n+1}=Q_n$, однако при $C_n=1$ $Q_{n+1}=D_n$ (табл. 2.15). Для истинных значений из табл. 3.15 имеем

Таблица 2.15

| C_n | D_n | Q_n | Q_{n+1} |
|-------|-------|-------|-----------|
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |

$$Q_{n+1} = \overline{C_n} \overline{D_n} Q_n + \overline{C_n} D_n Q_n + C_n D_n \overline{Q_n} + C_n D_n Q_n. \quad (2.20)$$

После преобразования выражения (2.20) можно получить следующую минимальную форму логической функции:

$$Q_{n+1} = C_n D_n + Q_n \overline{C_n} \overline{D_n}. \quad (2.21)$$

Из логических функций (2.21) и (2.19) следует, что синхронный D -триггер, так же как и асинхронный, может быть получен из RS -триггера с инверсными входами посредством использования входа S в качестве информационного. Схему триггера можно упростить, если вход R подключить к выходу элемента **И-НЕ**, на входы которого подаются сигналы D и C (рис. 2.30).

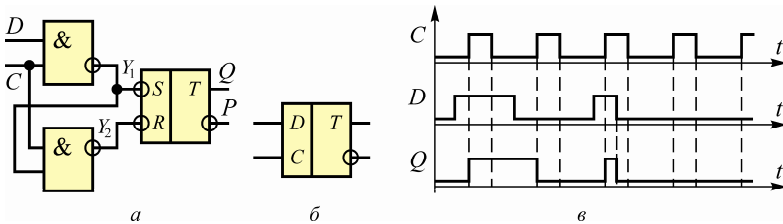


Рис. 2.30. Синхронный D -триггер: a – структура; b – условное обозначение; $в$ – диаграммы работы

Действительно, в этом случае

$$Y_2 = \overline{C} Y_1 = \overline{C} D C = \overline{C} (\overline{D} + C) = \overline{C} \overline{D} + C \overline{C} = \overline{C} \overline{D},$$

т.е. такой же сигнал, как инверсное произведение второго слагаемого в выражении (2.21).

Синхронный JK-триггер. Универсальный JK-триггер имеет на входе элементы И-НЕ, поэтому синхронизацию такого триггера осуществляют за счёт увеличения числа входов у входных элементов И-НЕ (см. рис. 2.27). На дополнительные входы подают последовательность синхронизирующих импульсов C (при одноконтурной синхронизации).

Синхронный JK-триггер является универсальным, поэтому он может выполнять функции RS-, D - и T -тактируемых триггеров. При раздельном использовании входов J и K функции такого триггера соответствуют функциям синхронного RS-триггера. Синхронный D -триггер получают за счёт подключения входа K к входу J через инвертор (рис. 2.31, *а*).

Существуют различные варианты использования в качестве тактируемого T -триггера синхронного JK-триггера. Например, на рис. 2.31, *б, в* показано, как синхронный JK-триггер используется в качестве асинхронного и синхронного счётного триггеров. В последнем случае входы J и K объединены и на них подается последовательность T , подлежащая счёту. На вход C подаётся последовательность синхронизирующих импульсов.

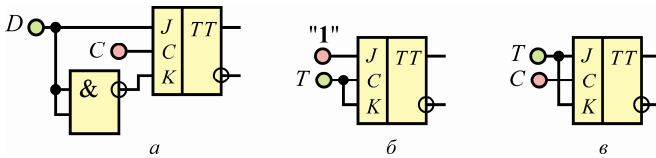


Рис. 2.31. Примеры использования синхронного JK-триггера:
а – синхронный D -триггер; *б* – асинхронный T -триггер;
в – синхронный T -триггер

Пример 2.9. Минимизировать с помощью карты Карно логическую функцию синхронного D -триггера.

1. По данным таблицы переключений D -триггера (табл. 2.15) составим карту Карно (рис. 2.32, *а*). Построенная карта Карно показывает, что имеется две пары соседних клеток (001 и 011, 111 и 110). Клетки в столбце 11 также являются соседними, но их склеивание по вертикали нецелесообразно, так как они обе

более удачно склеиваются по горизонтали. Тогда в результате операции склеивания минтермов, отображаемых соседними клетками, получим

$$Q_{n+1} = C_n D_n + \overline{C_n} Q_n. \quad (2.22)$$

Сопоставляя полученное выражение с (2.19), видим аналогию логических функций синхронных RS -триггера и D -триггера, у которого на вход R также должен подаваться синхросигнал.

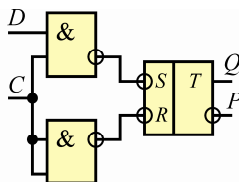
2. Для синтеза схемы на элементах **2И-НЕ** функцию (2.22) преобразуем с помощью правила де Моргана:

$$Q_{n+1} = \overline{\overline{C_n D_n} \cdot \overline{\overline{C_n} Q_n}}. \quad (2.23)$$

Схема синхронного D -триггера, соответствующая функции (2.23), имеет вид, показанный на рис. 2.32, б.

| | | | | |
|---------------------------|----|----|----|----|
| $C_n \backslash D_n, Q_n$ | 00 | 01 | 11 | 10 |
| 0 | 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 | 1 |

а



б

Рис. 2.32. Синхронный D -триггер по примеру 3.9:

а – карта Карно; б – схема на элементах **2И-НЕ**

3. Схема синхронного D -триггера может быть синтезирована и на основе универсальных логических элементов **ИЛИ-НЕ**, для чего целесообразно переписать логическую функцию (2.22), применив второй вариант правила де Моргана:

$$Q_{n+1} = \overline{\overline{C_n + D_n} + \overline{C_n + D_n}} = \overline{\overline{\overline{C_n + D_n} + \overline{C_n + D_n}}}.$$

Очевидно, что схемная реализация полученного выражения будет несколько сложнее предыдущего варианта, поэтому для построения синхронных D -триггеров в интегральном варианте предпочтительно использовать логические элементы **И-НЕ**.

3. ЦИФРОВЫЕ ИНТЕГРАЛЬНЫЕ МИКРОСХЕМЫ

3.1. ОБЩИЕ СВЕДЕНИЯ ОБ ИНТЕГРАЛЬНЫХ МИКРОСХЕМАХ

3.1.1. Классификация ИМС

Интегральные микросхемы – это микроэлектронные изделия, состоящие из активных элементов (транзисторов), пассивных элементов (резисторов, конденсаторов) и соединительных проводников, которые изготавливаются в едином технологическом процессе в объёме или на поверхности материала основания. Все элементы ИМС заключены в общий корпус и представляют собой неразделимое целое.

Микросхемы можно разбить на два больших класса: *монокристалльные*, все элементы которых выполняются на одной общей подложке (обычно кремниевой), и *гибридные*, в которых на одной общей подложке (обычно диэлектрической) групповым способом изготавливают пассивные элементы, а в качестве активных используют *бескорпусные транзисторы*, выполненные на отдельных полупроводниковых кристаллах.

Монокристалльные интегральные схемы, в которых все активные и пассивные элементы и связи между ними выполняются в объёме полупроводникового кристалла и на его поверхности, называются *полупроводниковыми*. Элементы монокристалльных ИМС изготавливают в ходе выполнения таких операций, как диффузия, окисление, эпитаксиальное наращивание или ионное внедрение примесей [9]. Роль резисторов выполняют отдельные участки полупроводника, изолированные *p-n*-переходами или диэлектрическими слоями. Конденсаторы выполняются в виде *p-n*-переходов или структур металл – диэлектрик – полупроводник. Особенностью полупроводниковых ИМС является то, что все элементы изготавливают одновременно в едином технологическом цикле, отдельные операции которого выполняются в одной и той же среде. В полупроводниковых ИМС удаётся получить большую плотность упаковки элементов на единицу объёма.

В виде полупроводниковых ИМС выполняются в основном логические схемы потенциального типа и некоторые разновидности усилителей, в том числе и операционные.

Монолитные ИМС, при изготовлении которых наряду с полупроводниковыми элементами используют и плёночные, называются *совмещёнными*. Технология изготовления плёночных резисторов и конденсаторов позволяет получить пассивные элементы с большим диапазоном номинальных значений, лучшей температурной стабильностью и меньшими допусками по сравнению с полупроводниковыми ИМС.

Монолитные ИМС в наибольшей степени удовлетворяют требованиям массового производства микросхем высокой степени интеграции, характеристики малокритичны к разбросу параметров пассивных элементов, их температурной нестабильности, и влиянию паразитных элементов.

Преимущества гибридной технологии проявляются при изготовлении прецизионных ИМС. Гибридные ИМС имеют высокое качество пассивных элементов, которые имеют более широкий частотный диапазон, незначительные отклонения от номинала, хорошую температурную стабильность. В ряде случаев путём подбора температурных коэффициентов пассивных элементов можно осуществить компенсацию температурной нестабильности характеристик ИМС, обусловленную изменением параметров активных элементов. Отсутствие общей подложки, являющейся базой для формирования всех элементов, способствует ослаблению паразитных связей. Недостатком гибридных ИМС является меньшая плотность упаковки элементов, что сопряжено с увеличением размеров и массы микросхем. По причине большего количества сварных соединений гибридные ИМС менее надёжны, чем монолитные.

Одна из основных технологических операций при производстве ИМС – электрическая изоляция друг от друга элементов, получаемых на одной общей подложке. В настоящее время применяется изоляция *p-n*-переходом и диэлектрической плёнкой. Более распространён первый способ изоляции, когда изготавливают специальные *p-n*-переходы. В рабочем режиме потенциал подложки должен быть таким, чтобы эти *p-n*-переходы были смещены в обратном направлении и тем самым изолировали друг от друга элементы ИМС. Но такой метод изоляции сопряжён с возникновением токов утечки между элементами ИМС и

подложкой, образованием паразитных транзисторных структур и большого количества паразитных ёмкостей. Диэлектрическая изоляция обеспечивает разделение элементов ИМС диэлектрическими плёнками, которые имеются вокруг каждого элемента. В качестве диэлектрической плёнки применяют слой SiO_2 . Такой изолятор имеет низкую диэлектрическую проницаемость. Основной недостаток диэлектрической изоляции – увеличение числа технологических операций в процессе изготовления ИМС.

В настоящее время в цифровых системах наибольшее распространение получили логические ИМС, работающие с двоичным кодированием информации. В электронных устройствах чаще используются два способа кодирования информации: в виде отличающихся потенциальных уровней и с помощью импульсных сигналов, наличие или отсутствие которых соответствует логическим **1** или **0**. В соответствии с этими способами кодирования информации микросхемы делятся на потенциальные и импульсные.

Все потенциальные ИМС по признаку обработки сигналов в электронной аппаратуре классифицируются как *цифровые* (логические) и *аналоговые*. Цифровые ИМС предназначены для преобразования и обработки дискретных сигналов, аналоговые – непрерывных сигналов.

В современных цифровых ИМС обычно используется положительная логика, когда логической **1** соответствует высокий потенциальный уровень, а логическому **0** – низкий. Разность указанных уровней называется размахом логического сигнала и определяется требованиями к ИМС и условиями её работы в электронной аппаратуре.

Функциональная схема интегрального логического элемента микросхемы состоит из трех частей. Первая – логическая, которая предназначена для выполнения заданной логической функции. Вторая – усилительная, которая производит усиление маломощных сигналов и совместно с выходной (третья часть) обеспечивает формирование потенциальных уровней или импульсных сигналов с электрическими характеристиками, соответствующими кодируемой информации на выходе элемента. Все указанные функции выполняются активными и пассивными инте-

гральными элементами: резисторами, конденсаторами, диодами, транзисторами и т.д. Некоторые из этих элементов могут одновременно выполнять несколько функций.

По способу передачи информации ИМС разбиваются на три группы: *асинхронные, тактируемые и полисинхронные*. В асинхронных ИМС время передачи информации в самой схеме микросхемы определяется собственным временем задержки. В тактируемых ИМС такая передача осуществляется лишь в определенные моменты времени, устанавливаемые тактовой частотой устройства. В полисинхронных ИМС передача и преобразование информации зависит от последовательности поступающих синхронизирующих импульсов.

По степени интеграции ИМС делятся на четыре группы.

Первую группу составляют микросхемы *малой степени интеграции*, содержащие в одном корпусе до 10 интегральных компонентов. В эту группу входят *резисторные, диодные и транзисторные сборки, дифференциальные усилители*, простые логические элементы.

Микросхемы *средней степени интеграции* относятся к второй группе. В одном корпусе этих микросхем размещается от 10 до 100 интегральных компонентов. В эту группу входят большинство логических элементов, триггеры, *регистры, дешифраторы*, логические сумматоры, *селекторы, мультиплексоры* и др., а также такие аналоговые микросхемы, как операционные усилители, *компараторы* и т.д.

Большие интегральные схемы (БИС) относятся к третьей группе. В одном корпусе БИС размещается от 100 до 1000 интегральных компонентов. В эту группу входят *полупроводниковые запоминающие устройства (ПЗУ), арифметико-логические устройства (АЛУ), многоразрядные регистры* и т.д.

Четвёртую группу составляют *сверхбольшие интегральные схемы* (СБИС), имеющие свыше 1000 компонентов в одном корпусе. В эту группу входят *аналого-цифровые преобразователи (АЦП), цифроаналоговые преобразователи (ЦАП), микропроцессоры (МП), однокристалльные микроЭВМ, сигнальные процессоры, однотактные преобразователи для блоков питания* и др.

Повышение степени интеграции позволяет существенно улучшить объёмно-массовые показатели, снизить стоимость в расчёте на один функциональный элемент, повысить функциональные возможности ИМС. Применение микросхем с расширенными функциональными возможностями даёт и существенное уменьшение общего числа соединительных проводников, что в конечном счёте способствует повышению надёжности электронной аппаратуры.

В настоящее время в новой электронной аппаратуре всё больше и больше используются ИМС третьей и четвёртой степеней интеграции.

3.1.2. Параметры ИМС

Параметры, характеризующие цифровые ИМС, делятся на четыре основные группы:

- функциональные, определяющие логические возможности при применении ИМС в аппаратуре;
- измеряемые;
- режимные, к которым относятся токи и напряжения, задаваемые на выводах ИМС при измерениях;
- технико-экономические.

К функциональным параметрам относятся:

- коэффициент разветвления по выходу $K_{\text{раз}}$, или нагрузочная способность, характеризующаяся максимально допустимым числом единичных однотипных нагрузок, которые можно одновременно подключить к выходу ИМС;

- коэффициент объединения по входу $K_{\text{об.вх}}$, характеризующий максимально допустимое число входов, по которым реализуется логическая функция;

- коэффициент объединения по выходу $K_{\text{об.вых}}$, характеризующий максимально допустимое число выходов, по которым реализуется логическая функция **ИЛИ**;

- статическая помехоустойчивость $U_{\text{пом}}$, определяемая по передаточной характеристике $U_{\text{вых}} = f(U_{\text{вх}})$ (рис. 3.1). Напряжение $U_{\text{п+}} = U_{\text{пор}}^1 - U_{\text{max}}^0$ характеризует помехоустойчивость микросхемы к помеховым выбросам положительной полярности: появление

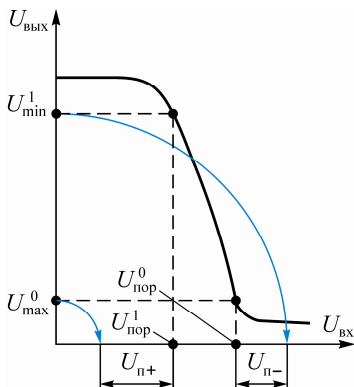


Рис. 3.1. Статические параметры цифровых ИМС

на входе ИМС помеховых изменений напряжения $U_{\text{пом}} < U_{\text{п+}}$, добавляющихся к входному $U_{\text{вх}} < U_{\text{пор}}^1 - U_{\text{max}}^0$, не приводит к переключению выходного сигнала ИМС с уровня логической 1 на уровень логического 0. Аналогично $U_{\text{п-}} = U_{\text{min}}^1 - U_{\text{пор}}^0$ характеризует помехоустойчивость ИМС к отрицательным изменениям входного напряжения;

- потребляемая мощность $P_{\text{пот}}$. Различают $P_{\text{пот}}^1$ и $P_{\text{пот}}^0$, потребляемые ИМС в состояниях 0 и 1 на выходе, а также среднюю потреб-

ляемую мощность $P_{\text{пот.ср}} = (P_{\text{пот}}^1 + P_{\text{пот}}^0)/2$.

Измеряемые параметры делятся на *статические* и *динамические*. К статическим параметрам относятся параметры, измеряемые в состояниях логических **0** и **1**:

- входные и выходные токи $I_{\text{вх}}^0, I_{\text{вх}}^1, I_{\text{вых}}^0, I_{\text{вых}}^1$;

- выходные напряжения $U_{\text{вых}}^0, U_{\text{вых}}^1$;

- пороговые напряжения $U_{\text{пор}}^0, U_{\text{пор}}^1$, равные входным напряжениям, при которых происходит переход ИМС из одного состояния в другое (рис. 3.1);

- токи потребления ИМС $I_{\text{пот}}^0, I_{\text{пот}}^1$.

К динамическим параметрам относятся (рис. 3.2):

- время $t^{1,0}$ перехода ИМС из состояния логической **1** в состояние логического **0**, измеряемое на уровнях 0,1 и 0,9;

- время $t^{0,1}$ перехода ИМС из состояния логического **0** в состояние логической **1**, измеряемое на уровнях 0,9 и 0,1;

- время задержки включения $t_{\text{зд}}^{1,0}$;

- время задержки выключения $t_{\text{зд}}^{0,1}$;

- время задержки распространения при включении $t_{\text{зд.р}}^{1,0}$, измеряемое на уровне 0,5;

- время задержки распространения при выключении $t_{\text{зд.р}}^{0,1}$, измеряемое на уровне 0,5;

- среднее время задержки распространения
 $t_{зл.p,ср} = (t_{зл.p}^{1,0} + t_{зл.p}^{0,1})/2.$

К режимным параметрам относятся:

- допустимые значения напряжения питания $U_{п\min}, U_{п\max};$

- допустимое значение напряжения уровней выходных логических сигналов $U_{\min}^1, U_{\max}^0;$

- допустимые входной и выходной токи в состояниях логических **0** и **1**: $I_{вх\max}, I_{вых\max}^0, I_{вых\max}^1.$

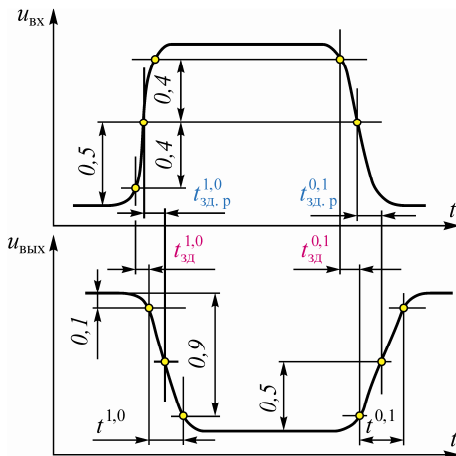


Рис. 3.2. Динамические параметры цифровых ИМС

К технико-экономическим параметрам относятся стоимость, процент выхода годных ИМС при изготовлении, степень интеграции, площадь ИМС, надёжность и др. [5].

3.2. ИМС НА БИПОЛЯРНЫХ ТРАНЗИСТОРАХ

3.2.1. Диодно-транзисторная логика

Схема простейшего диодно-транзисторного логического (ДТЛ) элемента показана на рис. 3.3, а. Такой логический элемент реализует функцию **И-НЕ**. Входные диоды ИМС обеспечивают выполнение операции **И**. Функцию **НЕ** выполняет транзисторный инвертор V_{T1} . Диоды смещения V_{D1}, V_{D2} предназначены для повышения помехоустойчивости ИМС, они предотвращают передачу отпирающей помехи на вход транзисторного ключа. Нагрузочную способность элементов ДТЛ можно повысить, применив в нём сложный инвертор, что способствует и повышению помехоустойчивости.

Существенным недостатком базового элемента ДТЛ является необходимость в отрицательном питающем напряжении (напряжение смещения $U_{см}$).

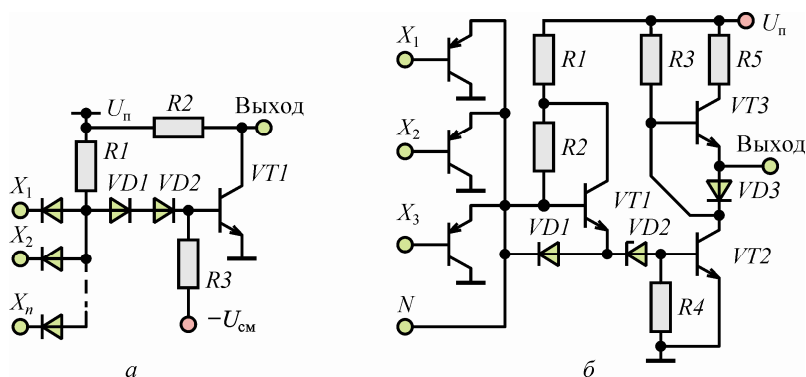


Рис. 3.3. Микросхемы диодно-транзисторной логики:
a – базовый логический элемент ДТЛ;
б – логический элемент МДТЛ с расширительным входом

Базовый элемент микросхем ДТЛ послужил основой для развития интегральной схемотехники по двум главным направлениям – модифицированная диодно-транзисторная логика (МДТЛ) и транзисторно-транзисторная логика (ТТЛ).

Интегральные элементы МДТЛ (рис. 3.3, б) отличаются от элементов ДТЛ тем, что в них на входах используются эмиттерные повторители, улучшающие характеристики логического элемента. В элементах МДТЛ входные *p-n-p*-транзисторы усиливают ток, поэтому использование такой структуры логического элемента способствует снижению тока, потребляемого ИМС в состоянии логического 0 на входе, что увеличивает входное сопротивление микросхемы.

В аппаратуре РЗА, разработанной во ВНИИР (г. Чебоксары), широкое распространение получили ИМС серии К511 [7]. Во многом, благодаря ИМС серии К511, удалось решить проблему помехоустойчивости электронных устройств РЗА (панель направленной и дифференциально-фазной защиты ПДЭ2003 для высоковольтной линии 500-750 кВ, шкафы дистанционной и токовой защит типов ШДЭ 2801, ШДЭ 2802 и др.). В указанных изделиях ИМС серии К511 использовались не только при синтезе логической части защит, но и в измерительных органах и органах выдержки времени, поскольку имели относительно стабильный порог переключения.

3.2.2. Базовые логические элементы ТТЛ

Особенностью микросхем ТТЛ (рис. 3.4, *а*) является то, что логическую функцию **И** выполняет многоэмиттерный транзистор $VT1$, коллекторный переход которого всегда открыт. Запирание выходного транзистора $VT2$, реализующего функцию **НЕ**, посредством отбора тока базы транзистором $VT1$, ускоряет рассасывание носителей в базе. Последнее возможно только тогда, когда из цепи базы инвертора исключены все диоды смещения, поэтому простота элемента ТТЛ достигается ценой снижения его помехоустойчивости. Но микросхемы ТТЛ используются со сложным инвертором (рис. 3.4, *б*). В такой микросхеме эмиттерный переход промежуточного транзистора играет роль диода смещения, автоматически повышая помехоустойчивость.

Если на всех входах ИМС удерживается высокий потенциал (логическая **1**), то эмиттерные переходы многоэмиттерного транзистора запираются и этот транзистор работает в инверсном активном режиме. В этом режиме коэффициент усиления транзистора невелик, поэтому в эмиттерных цепях течёт небольшой ток. Ток базы многоэмиттерного транзистора от источника питания через коллекторный переход поступает в базу транзистора $VT2$, включённого по схеме с общим эмиттером и играющего роль усилителя – инвертора (рис. 3.4, *а*).

Транзистор $VT2$ насыщен, на его выходе удерживается низкий потенциал логического **0**.

Если один из эмиттерных переходов входного транзистора открывается из-за подведения к входу ИМС сигнала **0**, то ток базы многоэмиттерного транзистора через эмиттер ответвляется во входную цепь, поэтому базовый ток выходного транзистора уменьшается и он запирается, на выходе элемента ТТЛ устанавливается сигнал логической **1**. Многоэмиттерный транзистор здесь насыщен с практически разомкнутым коллектором.

Транзистор $VT1$ имеет одну базу и один коллектор, но число эмиттеров, размещенных на базе, может достигать восьми. Толщина базового кристалла между коллектором и каждым из эмиттеров невелика, что обуславливает возможность диффузии в базе на каждом из участков между коллектором и эмиттером. Взаимодействие между эмиттерами через участки базы практически отсутствует.

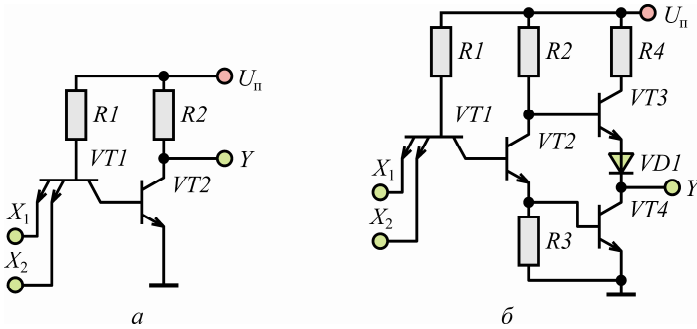


Рис. 3.4. Микросхемы транзисторно-транзисторной логики:
a – базовый логический элемент;
б – логический элемент со сложным инвертором

Если коллекторный переход смещён в прямом направлении, а эмиттерные переходы закрыты, то многоэмиттерный транзистор работает в инверсном активном режиме. Диффузия неосновных носителей заряда идёт от коллектора к запертым эмиттерам. Продиффундировавшие через базу носители заряда распределяются между эмиттерами транзистора. Коэффициент передачи по току для каждого эмиттера в инверсном режиме имеет значение β_i . Площадь эмиттерных переходов мала, поэтому и значение β_i невелико ($\beta_i \approx 0,025$). Если коллекторный переход многоэмиттерного транзистора смещён в обратном направлении, а эмиттерные переходы, кроме одного, заперты, то коллекторный ток создаётся открытым эмиттерным переходом. При этом коэффициент передачи по току для каждого эмиттера в нормальном активном режиме имеет значение β , которое существенно больше, чем значение β_i .

В схеме рис. 3.4, *б* коллекторный переход транзистора *VT1* всегда смещён в прямом направлении. Когда на входах действуют напряжения, уровень которых не менее 2,3...2,5 В (обычно уровень, соответствующий логической 1, близок к 3,5 В), через резистор *R1* и коллекторный переход транзистора *VT1* течёт ток, замыкающийся по цепи эмиттерных переходов транзисторов *VT2*, *VT4*. Напряжение на базе транзистора *VT1*

$$U_{б1} = U_{б34} + U_{б2} + U_{бк1} \approx 0,6 + 0,6 + 0,4 = 1,6 \text{ В,}$$

где $U_{\text{б}34}$, $U_{\text{б}32}$ – напряжение между базой и эмиттером транзисторов $VT2$, $VT4$; $U_{\text{бк}1}$ – напряжение между коллектором и базой транзистора $VT1$.

Напряжение на базе транзистора $VT1$ меньше уровня логической **1** на входах ИМС, поэтому эмиттерные переходы этого транзистора смещены в обратном направлении и он работает в инверсном активном режиме (ток базы транзистора $VT1$ $i_{\text{б}1} = (U_{\text{п}} - U_{\text{б}1})/R_1$, где R_1 – сопротивление резистора $R1$, ток эмиттера $i_{\text{э}k} = i_{\text{б}}\beta_{ik}$, где k – номер входа логического элемента). По причине незначительности величины β_{ik} этот ток мал, но всё же он больше, чем обратный ток запертых входных диодов микросхемы ДТЛ, т.е. миниатюризация схемы **И** посредством применения многоэмиттерного транзистора достигнута за счёт некоторого увеличения входного тока элемента. Втекающий в базу транзистора $VT2$ ток вызывает его открытие. В свою очередь транзистор $VT2$ обеспечивает базовый ток транзистора $VT4$, который его и открывает.

Когда один из входных сигналов равен **0** (в реальных схемах напряжение, соответствующее сигналу **0**, не превышает 0,4 В), эмиттерный переход входа с сигналом **0** смещён в прямом направлении. Считая напряжение на эмиттерном переходе, смещённом в прямом направлении, близким к 0,6 В, определим, что потенциал базы многоэмиттерного транзистора $U_{\text{б}1}' \leq 1$ В. Напряжение на коллекторе транзистора $VT1$ меньше на падение напряжения на открытом коллекторном переходе ($\approx 0,4$ В), т.е. составляет около 0,5 В. Это напряжение меньше, чем $U_{\text{б}34} + U_{\text{б}32}$, поэтому транзисторы $VT2$ и $VT4$ закрыты. Входное сопротивление закрытого транзистора, являющегося коллекторной нагрузкой транзистора $VT1$, очень велико: базовый ток транзистора $VT2$ – вытекающий обратный ток коллектора $I_{\text{к}02}$. Этот ток и является коллекторным током транзистора $VT1$. Таким образом, транзистор $VT1$ имеет относительно большой ток базы, протекающий через открытый эмиттерный переход, и очень незначительный коллекторный ток, равный $I_{\text{к}02}$. При таком соотношении базового и коллекторного токов транзистор $VT1$ насыщен, его коллекторный переход смещён в прямом направлении. Эмиттерный ток открытого коллекторного перехода складывается из токов кол-

лектора $I_{к02}$ и базы $i_{б1}' = (U_{п} - U_{б1}')/R_1$. По сути, ток $i_{б1}' + I_{к02}$ и определяет входной ток интегрального логического элемента, так как токи эмиттерных переходов в инверсном активном режиме малы. Поскольку базовый ток транзистора $VT2$ является вытекающим, то этот транзистор и соответственно транзистор $VT4$ закрыты. Это состояние транзисторов $VT2$ и $VT4$ сохраняется до тех пор, пока на все входы логического элемента не будут поданы **1**. Только тогда транзисторы $VT2$ и $VT4$ открываются.

Применение многоэмиттерного транзистора позволяет минимизировать каскад и в смысле его миниатюризации. Площадь, занимаемая многоэмиттерным транзистором, существенно меньше площади, занимаемой диодными сборками аналогичного функционального назначения микросхем ДТЛ. Это обусловлено наличием единой базы для всех $p-n$ -переходов многоэмиттерного транзистора, а также незначительной толщиной его базы. Кроме того, использование такого транзистора позволяет отказаться от включения резистора между базой транзистора $VT2$ и нулём для создания цепи замыкания тока $I_{к02}$. В микросхеме ТТЛ ток $I_{к02}$ замыкается через коллектор транзистора $VT1$. Отсутствие резистора позволяет ещё более сократить площадь, занимаемую логическим элементом.

Сложный инвертор микросхемы ТТЛ выполнен на транзисторах $VT3$ и $VT4$. Каскад на транзисторе $VT2$ является промежуточным усилителем, он усиливает выходной сигнал схемы **И** и управляет выходным двухтактным каскадом. Когда на всех входах логического элемента удерживаются сигналы **1**, транзистор $VT2$ открыт коллекторным током транзистора $VT1$

$$I_{к1} = I_{б1} + \sum I_{эk} = I_{б1} (1 + \sum \beta_{1k}),$$

а транзистор $VT4$ открыт базовым током, определяемым как разность токов эмиттера транзистора $VT2$ и резистора $R3$:

$$I_{б4} = I_{э2} - I_{R3} = I_{к1} + \frac{U_{п} - U_{кэс2} - U_{бэ4}}{R_2} - \frac{U_{бэ4}}{R_3},$$

где $U_{кэс4}$ – напряжение насыщения транзистора $VT4$; R_2, R_3 – сопротивления резисторов $R2, R3$. Транзистор $VT3$ при этом закрыт.

Базовый потенциал транзистора $VT3$ $U_{б3} = U_{б34} + U_{кэс2}$. Надёжное запирающее транзистора $VT3$ при такой величине потенциала $U_{б3}$ обеспечивает включение диода $VD1$ между коллектором транзистора $VT4$ и эмиттером транзистора $VT3$. Диод $VD1$ имеет крутую прямую ветвь ВАХ при напряжении между анодом и катодом, большем напряжения открытия $p-n$ -перехода, поэтому даже при токе, равном эмиттерному току закрытого транзистора $VT3$, он добавляет к напряжению между коллектором транзистора $VT4$ и эмиттером транзистора $VT3$ напряжение $U_{д} \approx 0,6$ В. Тогда напряжение между базой и эмиттером транзистора $VT3$

$$U_{бэ3} = U_{б3} - U_{э3} = U_{б34} + U_{кэс2} - U_{кэс4} - U_{д} \approx 0,$$

что, безусловно, не позволяет транзистору $VT3$ открыться.

Диод $VD1$, обеспечивающий дополнительное смещение напряжения на эмиттере $VT3$ в области положительных значений на величину $U_{д}$, называют смещающим. Использование смещающих диодов – один из типовых приёмов интегральной технологии, позволяющий обеспечить надёжное запирающее транзисторов, которые по условиям работы ИМС должны быть выключены. Наличие закрытого транзистора $VT3$ в коллекторной цепи открытого транзистора $VT4$ практически исключает потребление тока выходной цепью сложного инвертора в стационарном состоянии. Низкое собственное потребление тока в выходной цепи сложного инвертора обеспечивает его хорошую экономичность.

В том случае, когда хотя бы на одном из входов имеется **0**, транзистор $VT2$ закрыт. На резисторе $R3$ падение напряжения близко к нулю и транзистор $VT4$ закрыт за счёт того, что между базой и эмиттером включен резистор с небольшим сопротивлением. Закрытый транзистор $VT4$ эквивалентен высокоомному сопротивлению в цепи эмиттера $VT3$. Транзистор $VT3$ открыт, поскольку в его базу через резистор $R2$ задаётся положительный потенциал от напряжения $U_{п}$. Каскад на $VT3$ в этом случае работает в режиме эмиттерного повторителя, передавая на выход высокий уровень напряжения, который меньше напряжения $U_{б3}$ на величину $U_{бэ3} + U_{д}$. Указанное соответствует логической **1** на выходе схемы. Потребление тока в выходной цепи ненагруженного инвертора благодаря транзистору $VT3$ по-прежнему мало.

Резистор R_4 с малым сопротивлением практически не влияет на статические режимы работы ТТЛ-элемента. Его влияние проявляется в процессе переключения микросхемы. Резистор R_4 ограничивает броски тока в выходной цепи, которые возникают из-за несинхронного переключения транзисторов VT_4 и VT_3 . Различие в скорости переключения транзисторов VT_4 и VT_3 объясняется особенностями режимов работы в неодинаковых схемах включения: VT_4 включен по схеме с общим эмиттером, а VT_3 – по схеме, близкой к схеме эмиттерного повторителя, и, следовательно, VT_4 и VT_3 имеют разные постоянные времени. Имеет существенное значение и значительный технологический разброс параметров транзисторов. Вследствие этого в процессе переключения может оказаться, например, что транзистор VT_3 включился, в то время как транзистор VT_4 ещё не вышел из состояния насыщения. В этом случае через выходную цепь потечёт значительный сквозной ток. Он будет ограничен лишь незначительным сопротивлением включённых транзисторов и диода VD_1 . Это увеличение тока является кратковременным – оно существует лишь до момента выключения транзистора VT_4 , однако амплитуда его весьма значительна. Такой импульс тока, во-первых, может вызвать повреждение транзисторов VT_3 и VT_4 , во-вторых, он создает помеху, распространяющуюся по цепи питания. Резистор R_4 ограничивает импульс сквозного тока через транзисторы VT_3 и VT_4 . Сопротивление его должно быть небольшим, чтобы не вызвать насыщения включённого транзистора VT_3 и не снижать скорость переключения логического элемента, но достаточным для ограничения импульса тока до значений, не приводящих к повреждению указанных транзисторов.

Появление отрицательного напряжения на входе ТТЛ-элемента приводит к резкому увеличению его входного тока, следовательно, возникновение значительных отрицательных напряжений на входе ТТЛ-элемента недопустимо. Для защиты от возможных импульсов отрицательной полярности, поступающих на вход элемента, предусматриваются меры защиты в виде диодных ограничителей (рис. 3.5). При воздействии на входы ТТЛ-элемента положительных напряжений диоды заперты и не влияют на статическое состояние схемы. Если на каком-либо входе случайно появится помеховый импульс отрицательной полярности,

то диод, подключённый к этому входу, отпирается, и вместе с выполняющим функцию балластного резистора выходным сопротивлением источника помехи образует параллельный входной диодный ограничитель. Отрицательное напряжение на входе логического элемента не будет превышать значения прямого падения напряжения на диоде, составляющем доли вольта.

Ещё одной особенностью ТТЛ-элемента, схема которого показана на рис. 3.5, является базовая цепь транзистора $VT4$ – включение вместо обычного резистора активного двухполюсника, образованного резисторами $R3$, $R5$ и транзистором $VT5$.

В схеме простого ТТЛ-элемента (см. рис. 3.4, б) резистор $R3$ имеет небольшое сопротивление (примерно 1 кОм) и обеспечивает запираание транзистора $VT4$ при формировании логической **1** на выходе ТТЛ-элемента. Ток $I_{к0}$ закрытого транзистора $VT4$ протекает через резистор $R3$. Он не должен создавать на этом резисторе значительного падения напряжения. Именно по этой причине сопротивление резистора $R3$ выбирается небольшим. Однако из-за малости сопротивления его шунтирующее действие по отношению к эмиттерному переходу транзистора $VT4$ при его отпирании оказывается существенным. Так, если считать, что $U_{03} = 0,6$ В, то протекающий через $R3$ сопротивлением 1 кОм ток равен 0,6 мА, т.е. транзистор $VT4$ начнёт отпираться только после того, как ток через резистор $R3$, создаваемый эмиттерной цепью транзистора $VT2$, возрастет до 0,6 мА. Указанное обуславливает довольно сильное замедление включения транзистора $VT4$.

Кроме того, включение резистора $R3$ вызывает существенный дрейф параметров ТТЛ-элемента в рабочем диапазоне температур. При реализации резистора $R3$ в полупроводниковом интегральном ТТЛ-элементе температурный коэффициент сопротив-

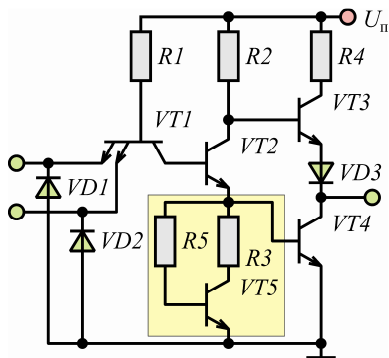


Рис. 3.5. ТТЛ-элемент с активным двухполюсником

ления оказывается положительным [1]. В диапазоне высоких положительных температур, когда коэффициент β транзистора $VT4$ возрастает, сопротивление резистора $R3$ также увеличивается. Шунтирующее действие резистора $R3$ ослабляется, и ток базы транзистора $VT4$ становится больше. Степень насыщения транзистора $VT4$ увеличивается, из-за чего возрастает время рассасывания неосновных носителей заряда при его выключении, т.е. снижается быстродействие выходного каскада. При низких отрицательных температурах, когда β уменьшается, сопротивление резистора $R3$ снижается. В результате часть эмиттерного тока транзистора $VT2$, ответвляющаяся в базу транзистора $VT4$, становится меньше и степень насыщения последнего уменьшается. Это обстоятельство также неприятно вследствие уменьшения допустимого значения коллекторного тока транзистора $VT4$, т.е. втекающего тока нагрузки, подключённой между положительным полюсом напряжения питания и выходом ИМС.

Включение активного двухполюсника, образованного $VT5$, $R3$ и $R5$, между базой и эмиттером транзистора $VT4$ (рис. 3.5) позволяет устранить указанные недостатки ТТЛ-элемента.

При увеличении напряжения на эмиттере транзистора $VT2$ транзистор $VT5$ откроется тогда, когда напряжение $U_{\text{бэ}5}$ превысит значение порога открытия эмиттерного перехода транзистора: $U_{\text{бэ}5} \geq U_{\text{бэ}0} \approx 0,6$ В. Так как $U_{\text{бэ}0}$ транзисторов $VT5$ и $VT4$ одинаковы, то они отпираются практически одновременно. Значительный ток коллектора транзистора $VT2$ может появиться только после отпираания транзисторов $VT5$ и $VT4$. Таким образом, до включения транзистора $VT4$ напряжение на коллекторе транзистора $VT2$, следовательно, и на выходе ТТЛ-элемента изменяться практически не будет, поддерживая высокий уровень напряжения $U_{\text{вых}}^1$ на выходе. Одновременно предотвращается сильное насыщение транзистора $VT4$ после включения транзистора $VT5$, поскольку открытие транзистора $VT2$, приводящее к увеличению напряжения $U_{\text{бэ}4}$, сопровождается ростом базового и коллекторного токов транзистора $VT5$, следовательно, снижением напряжения $U_{\text{кэ}5}$, что стабилизирует уровень напряжения $U_{\text{бэ}4}$, не позволяя увеличиться току базы транзистора $VT4$.

Для повышения быстродействия микросхемы ТТЛ в качестве её активных компонентов часто используются транзисторы Шоттки. Транзистор Шоттки по функциональным возможностям соответствует соединению биполярного транзистора и диода Шоттки, включённого параллельно коллекторному переходу, что исключает режим смещения в прямом направлении этого перехода при насыщении транзистора. Тем самым исключается режим его глубокого насыщения, что способствует более быстрому выключению транзистора.

В базовом ТТЛШ-элементе, показанном на рис. 3.6, используется выходной эмиттерный повторитель на составном транзисторе $VT4$, $VT5$ (транзистор $VT4$ с диодом Шоттки), что позволяет отказаться от диода, включаемого между транзисторами двухтактного выходного каскада обычного ТТЛ-элемента.

Указанное обеспечивает уменьшение выходного сопротивления каскада и его нагрузочную способность в состоянии логической **1** на выходе.

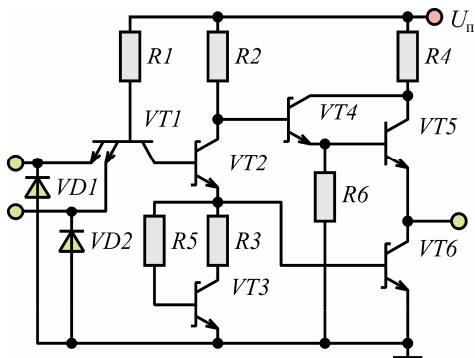


Рис. 3.6. Логический элемент с транзисторами Шоттки

3.2.3. Микросхемы серии КР1533

Маломощные быстродействующие ТТЛШ-микросхемы серии КР1533 предназначены для организации высокоскоростного обмена и обработки цифровой информации.

Микросхемы изготавливаются по усовершенствованной эпитаксиально-планарной технологии с диодами Шоттки и окисной изоляцией, одно- и двухуровневой металлизированной разводкой на основе $PtSi-TiW-AlSi$ [8]. В схемотехнике ТТЛШ-микросхем серии КР1533 (также как и серии КР1531) используются все ранее рассмотренные методы усовершенствования транзисторно-транзисторной логики (рис. 3.7).

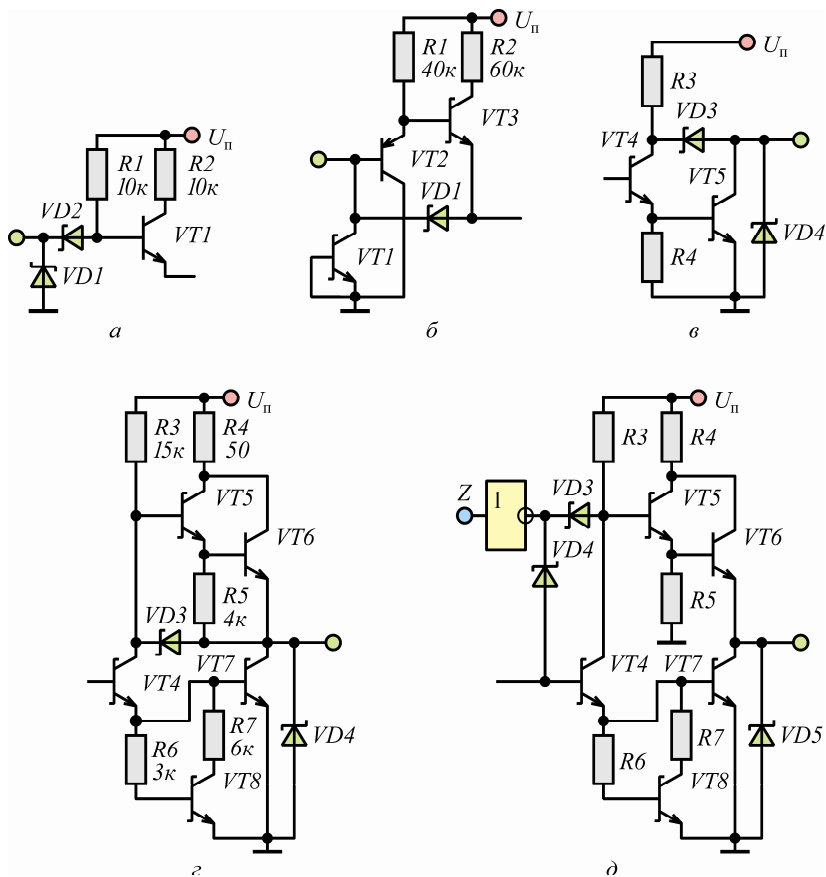


Рис. 3.7. Микросхемы серии КР1533:

- a* – простой входной каскад с диодами Шоттки;
- б* – входной каскад с *p-n-p*-транзистором;
- в* – выходной каскад с открытым коллектором;
- г* – выходной каскад со сложным инвертором;
- д* – логический элемент с *z*-состоянием выхода

Микросхемы КР1533 по сравнению с известными сериями логических ТТЛ-микросхем обладают минимальным значением произведения быстродействия на рассеиваемую мощность. Они обладают хорошей нагрузочной способностью, позволяя исключить промежуточные усилительные каскады.

Конструктивно ИМС выполнены в 14-, 16-, 20-, 24-выводных стандартных пластмассовых корпусах типов 201.14-1, 238.16-1, 2140.20-8, 2142.24-2.

Технические характеристики:

- стандартные ТТЛ входные и выходные уровни сигналов;
- напряжение питания – $5\text{ В} \pm 10\%$;
- время задержки распространения – 4 нс;
- потребляемая мощность на один логический элемент микросхемы – 1 мВт;
- тактовая частота – до 70 МГц;
- допустимый выходной ток в состоянии логического **0** на выходе – не более 24 мА;
- допустимый выходной ток в состоянии логической **1** на выходе – не более 15 мА;
- наработка на отказ – 50000 ч;
- интенсивность отказов в течение времени наработки – не более 10^{-6} 1/ч;
- γ -процентный ресурс – 15 лет при вероятности 95 %.

Статические и динамические характеристики микросхем гарантируются при ёмкости нагрузки 50 пФ в диапазоне температур от -10 до $+70$ °С и напряжении питания $5\text{ В} \pm 10\%$.

Микросхемы устойчивы к статическому электричеству с напряжением до 200 В.

Зарубежный аналог микросхем КР1533 – серия ИМС SN74ALSxxx фирмы Texas Instruments (США).

3.3. ИМС НА КОМПЛЕМЕНТАРНЫХ МОП-ТРАНЗИСТОРАХ

Логические микросхемы на комплементарных МОП-транзисторах (КМОП ИМС) являются наиболее распространёнными. Потребляемая логическими элементами в статическом режиме мощность составляет десятки нановатт, быстродействие достигает 1000 МГц и более. Среди ИМС на полевых транзисторах КМОП-микросхемы имеют наибольшую статическую помехоустойчивость: напряжение $U_{\text{пом}}$ достигает 40 % относительно напряжения источника питания $U_{\text{п}}$. Размах логического сигнала при изменении выходного напряжения логического элемента от

значения $U_{\text{вых}}^1$ до значения $U_{\text{вых}}^0$ практически равен напряжению $U_{\text{п}}$, если нагрузкой являются следующие КМОП-микросхемы.

Логическая операция **И-НЕ** в КМОП-микросхеме реализуется посредством последовательного включения входных транзисторов $VT3$, $VT4$ схемы (рис. 3.8, *а*), а операция **ИЛИ-НЕ** – параллельного их включения (рис. 3.8, *б*). На каждый вход логического элемента требуется два образующих ключевой элемент транзистора (один с p -каналом, другой с n -каналом). В логическом элементе, реализующем функцию **И-НЕ**, нагрузочные транзисторы $VT1$, $VT2$ с p -каналом включаются параллельно друг другу по схеме **ИЛИ**, а в логическом элементе, реализующем функцию **ИЛИ-НЕ**, транзисторы включены последовательно по схеме **И**.

Аналогичным образом выполняются ИМС с ббольшим количеством входов (3, 4 входа).

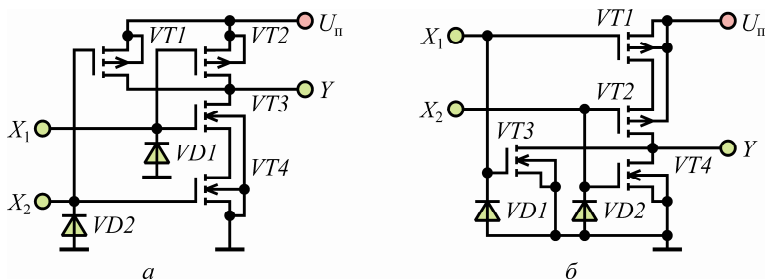


Рис. 3.8. Логические элементы КМОП:
а – 2**И-НЕ**; *б* – 2**ИЛИ-НЕ**

В открытом состоянии транзисторов с p -каналом на выходе логического элемента устанавливается потенциал логической **1**. Если входное напряжение логического элемента увеличивается до порогового напряжения U_{0n} транзисторов с n -каналом, они отпираются и начинается уменьшение выходного напряжения. Когда входное напряжение достигает уровня, при котором разность потенциалов между затвором и подложкой транзисторов с p -каналом становится меньше их порогового напряжения U_{0p} , они запираются и на выходе устанавливается логический **0**.

Микросхемы на комплементарных МОП-транзисторах в статическом режиме потребляют весьма незначительный ток, поэтому потребляемая мощность определяется в основном импульсным режимом работы логических элементов.

На основе базовых схем, показанных на рис. 3.8, промышленностью выпускаются ИМС серий К176, К561, К564, КР1561, КР1564, КР1554 и др.

Быстродействующие ИМС серии КР1554 предназначены для использования в высокопроизводительных системах обработки информации широкого применения. Высокое быстродействие, низкая потребляемая мощность, большая нагрузочная способность и широкий набор интерфейсных ИМС позволяют создавать вычислительные устройства цифровой автоматики с качественными характеристиками и высокими технико-экономическими показателями [8].

Микросхемы КР1554 изготавливаются по КМОП-технологии с окисной изоляцией, двухуровневой металлизацией, поликремниевым затвором шириной 1,4 мкм. Конструктивно ИМС выполнены в пластмассовых корпусах типа DIP с шагом 2,5 мм с количеством выводов от 14 до 24 и стандартным расположением выводов "Питание" и "Земля".

Зарубежный аналог микросхем серии КР1554 – серия ИМС 74 АСххх "FACT" фирмы NATIONAL (США).

Технические характеристики:

- стандартные КМОП входные и выходные уровни сигналов;
- напряжение питания – 2 ... 6 В;
- время задержки распространения – 3,5 нс;
- потребляемый ток на один логический элемент – 1 мкА;
- тактовая частота – до 150 МГц;
- допустимый выходной ток – не более 24 мА.

Статические и динамические характеристики гарантируются в диапазоне температур от –45 до 85⁰С.

Микросхемы имеют высокую устойчивость к статическому электричеству и защёлкиванию, могут работать на сопротивление нагрузки 50 Ом.

Микросхемы серии КР1554 выпускаются НПО "Интеграл" (г. Минск).

4. ФУНКЦИОНАЛЬНЫЕ ЭЛЕМЕНТЫ ЦИФРОВЫХ УСТРОЙСТВ

4.1. УСТРОЙСТВА РЕГИСТРАЦИИ ДВОИЧНОГО КОДА

При выполнении операций над числами в логических устройствах целое положительное число N представляют суммой вида [10]

$$N = a_{n-1}2^{n-1} + \dots + a_k2^k + \dots + a_12^1 + a_02^0,$$

где k соответствует номеру разряда, а действительные коэффициенты a_0, \dots, a_{n-1} имеют одно из двух значений: **0** или **1**.

Для отображения числа N необходимо иметь набор триггеров. Число триггеров должно быть равно числу разрядов, требующихся для отображения заданного числа. Логическая **1** на выходе триггера соответствует $a_k=1$ в данном разряде, логический **0** – нулевому значению коэффициента a_k . Совокупность триггеров, необходимую для регистрации двоичного кода, отображающего число N , называют регистром. Регистры делятся на *параллельные* и *сдвигающие*. Информация о числе, записанном в регистре, может сохраняться в регистре сколь угодно долго.

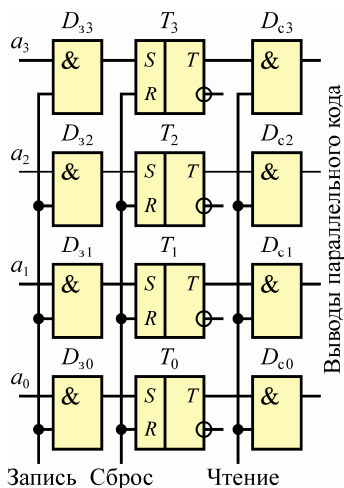


Рис. 4.1. Параллельный регистр на RS-триггерах

Простейшая структура четырёхразрядного регистра параллельного действия приведена на рис. 4.1. До начала записи триггеры T_0, T_1, \dots устанавливают в состояние **0** на выходе. Запись и считывание информации в регистре производится сразу по всем разрядам, поэтому регистр имеет n входов и n выходов. Постоянный уровень сигнала на каждом входе соответствует значению коэффициента a_k .

Пусть сигнал на первом входе имеет значение $a_0=1$, на втором – $a_1=0$, на третьем – $a_2=1$. При поступлении импульса записи

схемы совпадения с номерами D_{30} и D_{32} имеют единичные сигналы на обоих входах и поэтому формируют импульсы на выходе, которые устанавливают триггеры T_0 и T_2 в такое состояние, когда напряжение на выходе соответствует **1**. Схема совпадения D_{31} имеет нулевой уровень сигнала на входе и потому не передает импульс записи на выход. Триггер T_1 остаётся в состоянии **0** на выходе. Записанное в регистр число представляется набором $N = a_2 a_1 a_0$. В данном случае двоичное число $N = 101$ соответствует десятичному $N = a_2 2^2 + a_1 2^1 + a_0 2^0 = 1 \cdot 4 + 0 \cdot 2 + 1 \cdot 1 = 5$.

Для считывания числа подается импульс считывания, который поступает на входы схем совпадения D_{c0} , D_{c1} и D_{c2} . Второй вход каждой схемы соединен с выходом триггера соответствующего разряда. Для триггеров T_0 и T_2 выходной сигнал имеет единичный уровень, поэтому при воздействии считывающего импульса на выходе схем совпадения D_{c0} и D_{c2} формируются сигналы **1**. Сигнал на выходе схемы совпадения D_{c1} равен **0**. Во время действия считывающего импульса на выходах схем совпадения формируется набор 101, соответствующий состояниям триггеров. Информация, записанная в триггерах T_0 , T_1 и T_2 , после считывания сохраняется, поэтому считывание можно производить несколько раз.

Для записи нового числа триггеры предварительно устанавливают в состояния, соответствующие уровням **0** на выходе. Последовательность подачи импульсов на шины сброса, записи и считывания должна быть такой: *сброс, запись, считывание*.

С помощью регистра можно выполнить операцию *обращения кода*, т.е. получить код, обратный записанному, в котором все ранее записанные единицы инвертируются в нули, а нули – в единицы. Можно отметить, что обратный код числа в параллельном регистре получается одновременно с прямым на инверсных выходах триггеров. Однако для использования этого кода потребовалась бы новая схема считывания, связанная с инверсными выходами триггеров. Применение в регистре триггеров, имеющих помимо входов отдельного запуска R и S также счётный вход T (рис. 4.2), позволяет получать обратный код на выходе той же схемы считывания, которую используют для считывания прямого кода [1].

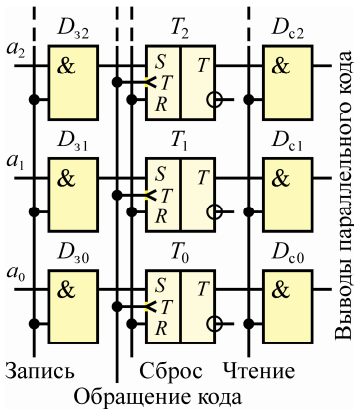


Рис. 4.2. Параллельный регистр с "обращением" кода

Процесс записи информации в такой регистр не отличается от рассмотренного. Для получения обратного кода на триггеры подается единичный сигнал "Обращение кода", который, поступая на счётный вход триггера, вызывает изменение его состояния: $Q_{n+1} = \overline{Q}_n$. На выходах триггера устанавливаются логические уровни, обратные тем, которые были до прихода сигнала на вход "Обращение кода". Обратный код можно считывать с помощью очередного импульса считывания.

Если на вход "Обращение кода" подать второй сигнал обращения, то записанный код будет изменён на обратный, значит, примет исходное значение.

Использование в цифровой технике интегральных элементов повлияло на схемное построение сдвигающих регистров. Обычно сдвигающие регистры выполняются на основе двухтактных D -триггеров задержки. Схема двухтактного D -триггера (рис. 4.3) содержит два RS -триггера с инверсными входами: T_1 – основной триггер, T_2 – вспомогательный.

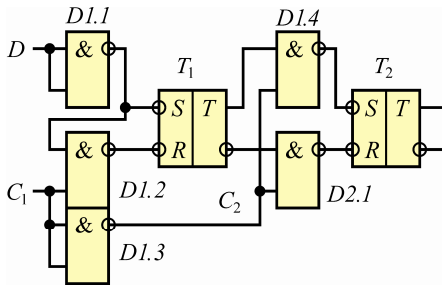


Рис. 4.3. Структура двухтактного синхронного D -триггера

Работает D -триггер следующим образом. Если на n -м такте синхросигнал $C_1 = 1$, то информация с входа записывается в триггер T_1 . При этом сигнал $C_2 = 0$ и логические элементы $D1.1$ и $D1.2$ отключают входы триггера T_0 от выходов триггера T_1 . На следующем такте $C_1 = 0$, $C_2 = 1$, т.е. элементы $D1.1$ и

$D1.2$ отключают входы триггера T_1 от входных цепей, а информация с его выхода записывается в триггер T_2 . В результате информация с входа D переписывается на выход Q спустя один такт.

Пример выполнения четырёхразрядного регистра сдвига на D -триггерах показан на рис. 4.4. Здесь сигнал сдвига T подается на входы синхронизации всех триггеров одновременно, входной сигнал – на вход D_4 триггера T_4 .

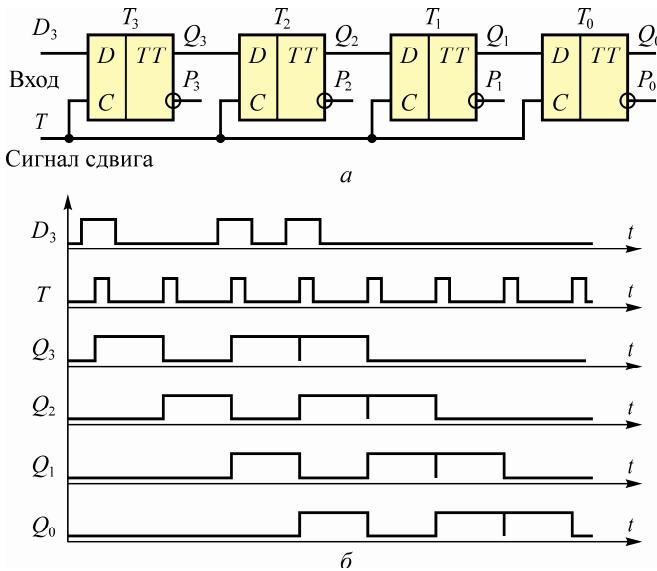


Рис. 4.4. Сдвигающий четырёхразрядный регистр:
a – схема; *б* – диаграммы работы

4.2. СЧЁТЧИКИ ИМПУЛЬСОВ

Принцип счёта импульсов основывается на свойстве деления частоты входных тактовых импульсов триггером со счётным входом. Такой триггер переключает выходные логические сигналы при поступлении каждого очередного входного импульса: $Q_{n+1} = \bar{Q}_n$ (рис. 4.5, *a*). При периодическом поступлении входных импульсов с периодом T выходные импульсы следуют с периодом $T_{\text{вых}} = 2T$, т.е. частота следования выходных импульсов в два раза меньше, чем частота следования входных.

Счётный T -триггер может быть получен, в частности, на основе рассмотренного D -триггера. Для этого следует выход P соединить с входом D , а последовательность подлежащих счёту импульсов подавать на вход C . Последовательно включая триггеры, частоту повторения импульсов можно понизить в 2^n раз (здесь n – число последовательно включенных триггеров). Например, четырехразрядный счётчик (рис. 4.5, б) осуществляет подсчёт импульсов до $N=2^n=16$, где $n=4$ – число счётных триггеров (рис. 4.5, в).

До начала счёта все триггеры устанавливаются в состояние, соответствующее сигналу $Q=0$, подачей импульса на шину "Установка нуля", связанную с входами R триггеров. Первый входной импульс вызывает переключение первого триггера, второй импульс – второго, четвёртый – третьего, восьмой – четвёртого.

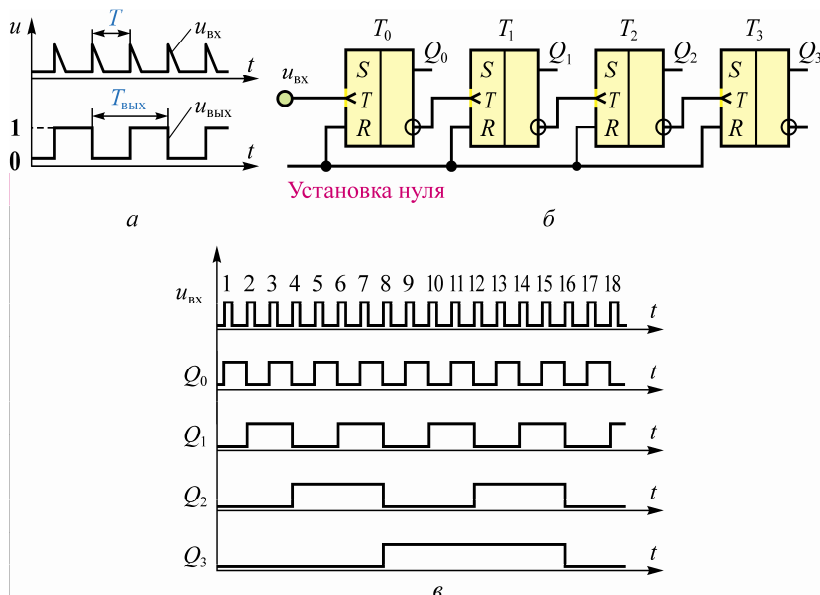


Рис. 4.5. Двоичный счётчик импульсов:
 а – временные диаграммы работы T -триггера;
 б – схема четырехразрядного счётчика;
 в – временные диаграммы работы счётчика

Шестнадцатый импульс переводит все триггеры счётчика в такое состояние, которое было до прихода первого импульса. Таким образом, четырехразрядный счётчик может осуществлять счёт в пределах от одного до пятнадцати импульсов.

Недостатком простейшего двоичного счётчика является малое быстродействие. Например, для отсчёта числа $N=8$ последовательно должны переключиться все четыре триггера счётчика, т.е. для установления соответствующего кода числа 8 требуется время, равное учетверённому времени переключения триггера t_n . В общем случае при n -разрядном счётчике время задержки установления кода $t_3 = nt_n$.

Подавать $(n+1)$ -й импульс на счётчик нельзя до тех пор, пока не будет считана информация о поступлении n -го импульса, а состояние счётчика, соответствующее отсчёту n -го импульса, не установится через время t_3 после его поступления. По этой причине необходимо, чтобы интервал между входными сигналами превышал значение t_3 .

Для повышения быстродействия вместо последовательного переключения триггеров (последовательный перенос) организуют параллельный перенос информации.

Работа счётчиков с параллельным переносом основана на следующей закономерности двоичных чисел: если к какому-то числу прибавляется единица, то данное сложение эквивалентно замене исходного числа таким, у которого по сравнению с исходным первый нуль (при движении от младшего разряда к старшему) заменяется на единицу, а предшествующие ему единицы – нулями.

Например, в четырехразрядном коде:

а) $1_{10} + 1_{10} = 2_{10}$ или $0001_2 + 0001_2 = 0010_2$;

б) $7_{10} + 1_{10} = 8_{10}$ или $0111_2 + 0001_2 = 1000_2$.

Указанную закономерность используют в счётчиках со "сквозным" переносом. Из рис.4.5 следует, что переключение триггера T_2 осуществляется в том случае, когда подается сигнал $u_{вх} = \mathbf{1}$, а триггер T_1 находится в состоянии, соответствующем $Q = \mathbf{1}$. Переключение триггера T_3 происходит при поступлении входного импульса $u_{вх} = \mathbf{1}$ и наличии единичных уровней на вы-

входе JK -триггера T_3 . Четвёртый входной импульс на входе C вызовет переключение этого триггера. Задержка переключения триггера T_3 в этом случае уже не связана с задержкой, вносимой всеми предшествующими триггерами. Импульс, переключающий триггер T_3 , формируется при совпадении предварительно установленных единичных уровней напряжения на входах J, K и единичного уровня напряжения на входе C , т.е. осуществляет "сквозной" перенос.

Следовательно, при одном и том же числе разрядов предельная частота импульсов на счётном входе в данном счётчике может быть выше, чем в счётчике последовательного действия:

$$F_{\max} = \frac{1}{t_n + (n-2)t_{зп}},$$

где $t_{зп}$ – время задержки сигнала в схеме "сквозного" переноса (в логических элементах **И** $D1$ и $D2$), $t_{зп} \ll t_{п}$.

Используя закономерности синтеза логических структур, технически возможно создать счётчик, который мог бы осуществлять счёт импульсов как в прямом (обеспечить сложение числа поступивших сигналов с числом, ранее записанном в счётчике), так и в обратном (осуществлять вычитание числа поступивших на вход импульсов из числа, записанного в счётчике) направлении. Такой счётчик называют реверсивным.

Один из возможных вариантов схемы реверсивного счётчика показан на рис. 4.7. Счётчик управляется сигналами реверса, имеющими форму постоянного напряжения. Сигнал реверса является *парафазным*: если $x_p = 1$, то $\bar{x}_p = 0$.

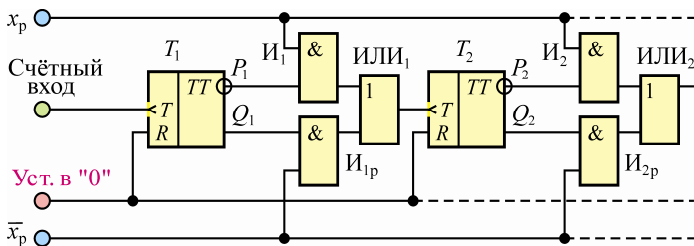


Рис. 4.7. Реверсивный счётчик

До начала работы триггеры импульсом установки, подаваемым на шину "Уст. в "0", устанавливаются в состояние $Q=0$.

Когда счётчик установлен в начальное положение и $x_p=1$, то единичный сигнал подается также на первые входы схем совпадения $\mathbf{И}_1$ и $\mathbf{И}_2$, сигнал P_1 триггера T_1 на второй вход схемы $\mathbf{И}_1$, сигнал P_2 триггера T_2 на второй вход схемы $\mathbf{И}_2$. Сигнал $\mathbf{1}$ формируется на выходе схемы совпадения в том случае, когда на выходе P_1 триггера T_1 имеется сигнал $\mathbf{1}$. Этот сигнал, передаваясь через схему совпадения $\mathbf{И}_1$ и схему $\mathbf{ИЛИ}_1$, поступает на вход триггера T_2 , вызывая его переключение, как и в обычном счётчике. Схемы $\mathbf{И}_{1p}$ и $\mathbf{И}_{2p}$ не передают сигналы, так как на вход каждой из них поступает сигнал $\mathbf{0}$.

Если управляющий сигнал изменился и $x_p=0$, а $\bar{x}_p=1$, то вход триггера T_2 будет связан с выходом Q_1 триггера T_1 через схемы $\mathbf{ИЛИ}_1$ и $\mathbf{И}_{1p}$, т.е. счётчик работает как вычитающий.

4.3. ДЕШИФРАТОРЫ

Дешифратором называют логическое устройство, распознающее кодовые комбинации. Дешифратор имеет число входов, равное разрядности принимаемого кода, и число выходов, равное возможному числу кодовых комбинаций. Дешифратор формирует единичный сигнал на определенном выходе только в том случае, когда на вход поступает код числа, соответствующего номеру этого выхода.

Схему $\mathbf{И}$ можно рассматривать как основной элемент дешифратора. В случае n -разрядного кода число кодовых комбинаций равно 2^n . Следовательно, полный дешифратор должен иметь 2^n логических элементов $\mathbf{И}$, каждый из которых обладает n входами.

Поскольку в код числа могут входить как единицы, так и нули, а схема $\mathbf{И}$ фиксирует только единичные уровни сигналов, для индикации кода вместо нулей используют единицы с инверсного выхода данного разряда. Поэтому полный дешифратор имеет $2n$ входных шин (n для прямых и n для инверсных значений n -разрядных чисел).

Схема полного дешифратора, называемого *линейным*, применительно к трехразрядному коду показана на рис. 4.8, а.

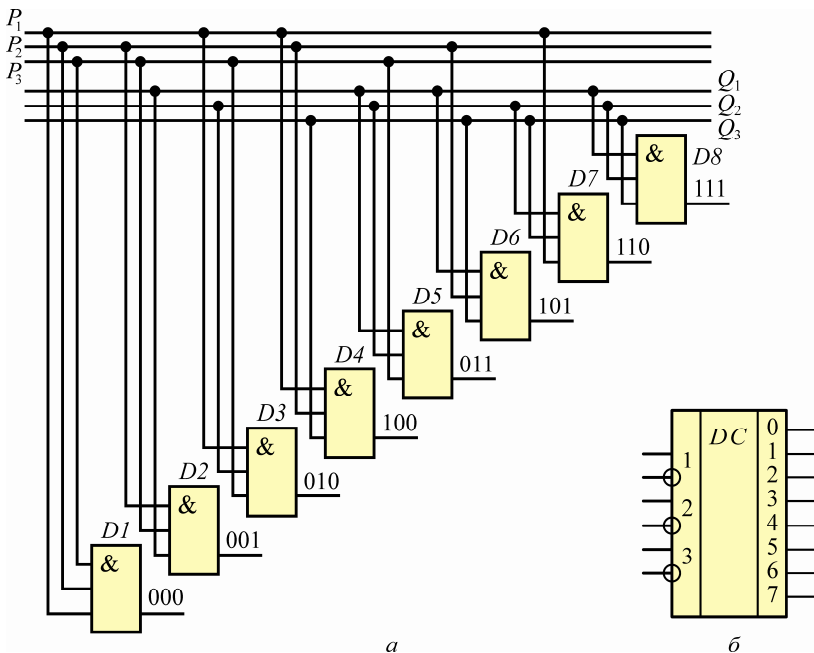


Рис. 4.8. Дешифратор: *a* – логическая структура; *б* – условное обозначение

Дешифратор имеет шесть входных шин: три прямых (Q_1, Q_2, Q_3) и три инверсных (P_1, P_2, P_3). В трёхразрядном коде может быть записано восемь возможных чисел – 0, 1, 2, 3, 4, 5, 6, 7 ($2^n = 8$). Дешифратор, изображённый на рис. 4.8, *a*, является полным, т.е. имеет восемь выходов – по числу кодов указанных чисел. Сигнал на выходе появляется только в том случае, когда на входах соответствующей схемы совпадения имеются единичные уровни напряжения. Например, на выходе регистрации числа 1 (в кодовой записи 001) сигнал появится при $Q_1 = Q_2 = 0$ и $Q_3 = 1$. Единичный сигнал на этом выходе будет при комбинации сигналов $\overline{Q_1} \overline{Q_2} Q_3$, так как $Q_1 = \overline{P_1}$ и $Q_2 = \overline{P_2}$.

4.4. МУЛЬТИПЛЕКСОРЫ

Мультиплексором называют логическое устройство, предназначенное для передачи сигналов с любого из входов на одну

общую выходную шину. Вход, с которого сигнал передается на выход, выбирают в зависимости от управляющего сигнала, задаваемого, например, в виде параллельного цифрового кода.

Один из возможных вариантов схемы мультимплексора показан на рис. 4.9. Здесь x_1, \dots, x_4 – входные шины, на которые поступают входные сигналы. Код $a_1 a_2$ управляющего сигнала двухразрядный, которым можно представлять четыре комбинации сигналов на входных шинах: 00, 01, 11 и 10. Эти сигналы должны управлять схемами совпадения $\mathbf{И}_1, \dots, \mathbf{И}_4$ дешифратора.

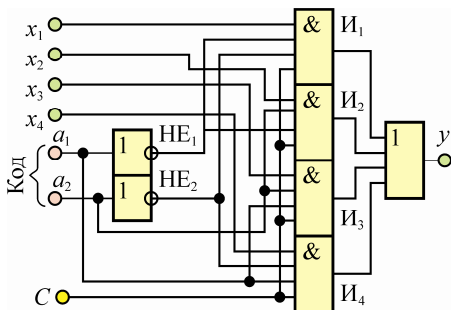


Рис. 4.9. Мультимплексор

При наличии **0** на входе выходной сигнал конъюнктора не может принимать значение **1**, поэтому в схеме мультимплексора приходится предусматривать инверторы \mathbf{HE}_1 и \mathbf{HE}_2 , формирующие сигнал **1** на выходе при **0** на соответствующей шине управляющего кода.

Пусть при коде 00 сигнал на выход y должен передаваться с сигнальной шины x_1 , а при коде 01 – с сигнальной шины x_2 и т.д. Такая передача сигнала обеспечивается благодаря следующим переключениям в мультимплексоре: при коде 00 сигнал **0** имеется на третьих входах конъюнкторов $\mathbf{И}_3$ и $\mathbf{И}_4$, вторых входах конъюнкторов $\mathbf{И}_2$ и $\mathbf{И}_3$. Если сигнал **0** присутствует хотя бы на одном входе конъюнктора, то на его выходе не может быть **1** независимо от сигналов на остальных входах. Поэтому на выходы конъюнкторов $\mathbf{И}_2, \mathbf{И}_3, \mathbf{И}_4$ сигнал **1** передаваться не может. Однако при коде 00 на выходах инверторов \mathbf{HE}_1 и \mathbf{HE}_2 сигнал равен **1**. Соответственно **1** подается на второй и третий входы конъюнктора $\mathbf{И}_1$. Если на шине x_1 действуют входные импульсы, то они через конъюнктор $\mathbf{И}_1$ передаются на выход y . При смене кода, например, на 01 сигналы на выход поступают через конъюнктор $\mathbf{И}_2$ с выходной шины x_2 и т.д.

Мультимплексор можно сделать синхронным, используя конъюнкторы $\mathbf{И}_1, \dots, \mathbf{И}_4$ с дополнительными входами, которые следует подключить к источнику синхронизирующих импульсов.

**СИНТЕЗ ЛОГИЧЕСКОЙ ЧАСТИ ДВУХСТУПЕНЧАТЫХ
ТОКОВЫХ ЗАЩИТ**

Двухступенчатая токовая защита (ТЗ) содержит первую ступень (отсечку) и вторую ступень, играющую роль максимальной токовой защиты (МТЗ). При такой конфигурации защиты требования к её логической части могут быть представлены таблицей истинности, содержащей 8 наборов (табл. П.1, где x_1, x_2 – логические сигналы измерительных органов тока первой и второй ступеней, при их срабатывании изменяются с **0** на **1**; t_2 – логический сигнал органа выдержки времени второй ступени, при его срабатывании также изменяется с **0** на **1**; y – сигнал отключения).

Если аппаратные и программные средства защиты исправны, вероятность чего в микропроцессорных терминалах очень высока (современные микропроцессорные терминалы снабжены непрерывной самодиагностикой, сразу определяющей возникновение непредусмотренных ситуаций в режиме ожидания) то 1-, 4-, 5- и 7-й из наборов являются виртуальными – факультативные условия. Факультативные условия могут быть использованы как угодно, поэтому формально можно считать, что на указанных наборах сигнал отключения формироваться не должен. В таком случае логическая функция, обеспечивающая формирование сигнала отключения, записанная в СДНФ, принимает вид

Таблица П.1

| Номер набора | t_2 | x_2 | x_1 | y |
|--------------|----------|----------|----------|----------|
| 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | ~ |
| 2 | 0 | 1 | 0 | 0 |
| 3 | 0 | 1 | 1 | 1 |
| 4 | 1 | 0 | 0 | ~ |
| 5 | 1 | 0 | 1 | ~ |
| 6 | 1 | 1 | 0 | 1 |
| 7 | 1 | 1 | 1 | ~ |

$$y = x_1 \cdot x_2 \cdot \overline{t_2} + \overline{x_1} \cdot x_2 \cdot t_2. \tag{П.1}$$

Алгоритм (П.1) логической части двухступенчатой ТЗ реализуется посредством трёх основных логических операций – И, ИЛИ и НЕ. Схемная интерпретация алгоритма содержит два элемента ЗИ, один элемент 2ИЛИ и два инвертора (рис. П.1, а).

Выражение (П.1) можно преобразовать к виду

$$y = x_2 \cdot (x_1 \cdot \overline{t_2} + \overline{x_1} \cdot t_2), \quad (\text{П.2})$$

согласно которому логическая часть защиты реализуется тремя логическими элементами **2И**, одним логическим элементом **2ИЛИ** и двумя логическими элементами **НЕ** (рис. П.1, б).

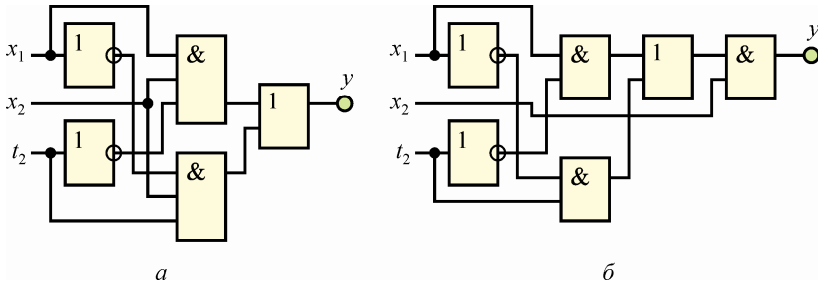


Рис. П.1. Структурные схемы логики двухступенчатой ТЗ:
а – по алгоритму (П.1); б – по алгоритму (П.2)

Сравнительный анализ схем, представленных на рис. П.1 показывает, что алгоритмы (П.1) и (П.2) практически равноценны, хотя алгоритм (П.1) даёт немногим более простую конфигурацию схемы логики.

Рассмотрим подробнее соответствие теоретических наборов реальным комбинациям сигналов, поступающим от измерительных органов и органа выдержки времени в логическую часть ТЗ.

Нулевой набор – нормальный рабочий режим защищаемого присоединения (измерительные органы не фиксируют факта превышения входным током уставки ни отсечки, ни МТЗ). Сигнал отключения формироваться не должен.

1-й набор – ложная работа отсечки либо отказ реле тока МТЗ. В такой ситуации, прежде чем сформировать сигнал отключения целесообразно осуществить дополнительный контроль уровня входного тока, что в микропроцессорных терминалах может быть осуществлено "быстрым" алгоритмом ЦИО по специальной команде. В противном случае может произойти ложное отключение защищаемой линии. Заметим, что в настоящее время в российских распределительных сетях именно так (без допол-

нительного контроля исправности канала тока) работает большинство ТЗ, выполненных на основе электромеханических или электронных реле.

2-й набор – КЗ в зоне действия МТЗ, но её выдержка времени не набрана. Сигнал отключения в такой ситуации формироваться не должен, а от измерительного органа МТЗ должна поступить команда на орган выдержки времени на отсчёт задержки срабатывания, определяемой уставкой.

3-й набор – КЗ в зоне действия отсечки. Защита должна действовать на отключение, поскольку имеется соответствие всех сигналов требуемому состоянию аппаратных и программных средств.

4-й набор – ложная работа органа выдержки времени МТЗ. Сигнал отключения формироваться не должен, но должна быть сформирована команда на проверку исправности органа выдержки времени.

5-й набор – факультативное условие (вероятность такого набора сигналов близка к нулю). Формально в такой ситуации сигнал отключения формироваться не должен, но при синтезе схемы логики можно принять $y=1$.

6-й набор – КЗ в зоне действия МТЗ, выдержка времени второй ступени набрана. Защита должна действовать на отключение, поскольку имеется соответствие всех сигналов "исправному" состоянию аппаратных и программных средств.

7-й набор – КЗ в зоне действия отсечки, но сигнал на отключение от реле тока отсечки по какой-то причине не "проходит", поэтому орган выдержки времени МТЗ успеваеt набрать заданную выдержку времени. Защита должна действовать на отключение. Одновременно или несколько ранее должна быть сформирована команда на проверку канала отсечки.

С учётом указанного внесём изменения в табл. П.1, дополнив её тремя сигналами (табл. П.2): z_1 – сигнал, соответствующий 1-му набору, по которому должна быть осуществлена "быстрая" проверка исправности канала тока; z_4 – сигнал, соответствующий 4-му набору, по которому должна быть осуществлена проверка исправности органа выдержки времени; z_7 – сигнал, по которому должен быть проверен канала отсечки.

Таблица П.2

| Номер набора | t_2 | x_2 | x_1 | y | z_1 | z_4 | z_7 |
|--------------|-------|-------|-------|-----|-------|-------|-------|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 |
| 2 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 3 | 0 | 1 | 1 | 1 | 0 | 0 | 0 |
| 4 | 1 | 0 | 0 | 0 | 0 | 1 | 0 |
| 5 | 1 | 0 | 1 | ~ | 0 | 0 | 0 |
| 6 | 1 | 1 | 0 | 1 | 0 | 0 | 0 |
| 7 | 1 | 1 | 1 | 1 | 0 | 0 | 1 |

Согласно табл. П.2 логические функции, обеспечивающие формирование сигнала отключения и сигнала проверки канала тока, принимают вид

$$y = x_1 \cdot x_2 \cdot \overline{t_2} + \overline{x_1} \cdot x_2 \cdot t_2 + x_1 \cdot x_2 \cdot t_2 ; \quad (\text{П.3})$$

$$z_1 = \overline{y} \cdot x_1 \cdot \overline{x_2} \cdot \overline{t_2} . \quad (\text{П.4})$$

Функция (П.3) согласно закону склеивания и распределительному может быть преобразована:

$$y = x_1 \cdot x_2 \cdot \overline{t_2} + \overline{x_1} \cdot x_2 \cdot t_2 + x_1 \cdot x_2 \cdot t_2 = x_1 \cdot x_2 \cdot (\overline{t_2} + t_2) + \overline{x_1} \cdot x_2 \cdot t_2 = x_1 \cdot x_2 + \overline{x_1} \cdot x_2 \cdot t_2 . \quad (\text{П.5})$$

Логическая функция вида (П.5) приводится к тупиковой форме записи

$$y = x_2 \cdot (x_1 + \overline{x_1} \cdot t_2) . \quad (\text{П.6})$$

Логическая функция (П.4) также как и функции

$$z_4 = \overline{y} \cdot \overline{x_1} \cdot \overline{x_2} \cdot \overline{t_2} , \quad (\text{П.7})$$

$$z_7 = y \cdot x_1 \cdot x_2 \cdot t_2 , \quad (\text{П.8})$$

записанные в СДНФ, содержат только по одному *минтерму* и поэтому в отношении минимизации алгебраически не преобразовываются.

Схемы логики, иллюстрирующие формирование сигнала отключения по алгоритмам (П.3) и (П.5) показаны на рис. П.2.

Сопоставляя структуры, соответствующие алгоритмам (П.1) и (П.3), следует отметить, что использование 7-го набора для формирования сигнала отключения без проведения минимизации даёт более сложную структуру, чем в случае, когда этот же набор не используется (рис. П.1,а и П.2,а). Однако после проведения минимизации логическая структура становится уже более

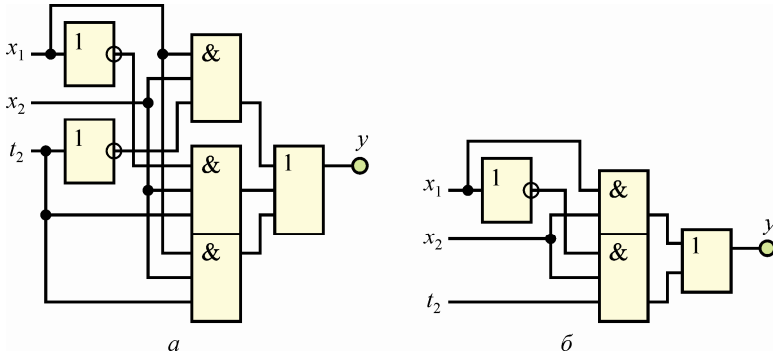


Рис. П.2. Структурные схемы логики двухступенчатой ТЗ:
a – по алгоритму (П.3); *б* – по алгоритму (П.5)

простой (рис. П.1, *a* и П.2, *б*). Для реализации функции (П.5) требуются один инвертор, по одному логическому элементу **2И** и **3И** и один логический элемент **2ИЛИ**. В то же время, тупиковая форма функции (П.5) показывает, что для реализации алгоритма (П.6) требуются один инвертор, два логических элемента **2И** и один логический элемент **2ИЛИ**, т.е. логическая структура формирования сигнала отключения становится ещё проще (рис. П.3).

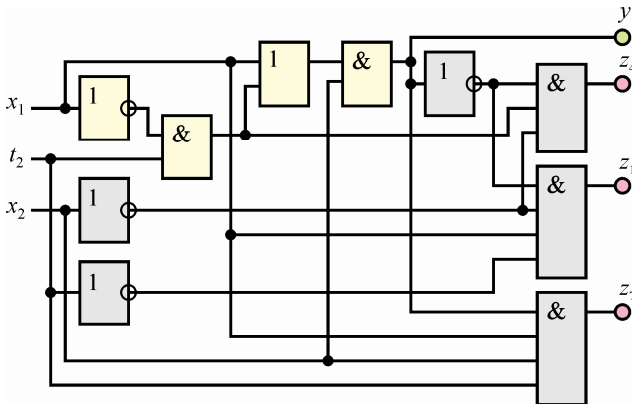


Рис. П.3. Структура логики двухступенчатой ТЗ с выходными сигналами, формируемыми по алгоритмам (П.6), (П.4), (П.7) и (П.8)

В процессе синтеза логической схемы по алгоритму (П.6) не учитывалось факультативное условие 5-го набора. Это условие, как уже указывалось, носит виртуальный характер, поэтому его учёт при минимизации схемы логики может дать тупиковую форму алгоритма, отличную от функции (П.6). Для оценки возможности получения нового оптимизированного алгоритма воспользуемся методом карт Карно. Карта Карно для функции, описывающей алгоритм формирования сигнала y , составленная по данным табл. П.2, показана на рис. П.4.

В карте Карно для сигнала y соседних клеток три пары, причём клетка с номером 111 (7) оказалась соседней три раза. Этот факт предоставляет возможность выполнить "склеивание" минтермов, соответствующих соседним клеткам, трижды, тогда

$$y = x_1 \cdot x_2 + x_2 \cdot t_2 + x_1 \cdot t_2. \quad (\text{П.9})$$

Булева функция (П.9) – функция мажоритарного логического элемента – легко подвергается дальнейшей алгебраической минимизации:

$$y = x_1 \cdot x_2 + t_2 \cdot (x_1 + x_2). \quad (\text{П.10})$$

| $x_1 x_2$ t_2 | 00 | 01 | 11 | 10 |
|--------------------|----|----|----|----|
| 0 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 1 | 1 |

Рис. П.4. Карта Карно для сигнала отключения двухступенчатой ТЗ

Для реализации функции (П.10) требуются по два логических элемента **2И** и **2ИЛИ** (рис. П.5).

Анализируя схемы, представленные на рис. П.3 и П.5, в отношении оптимальности структуры можно отметить, что комбинационная логика формирования сигнала y принципиально не изменилась, хотя во втором случае для получения сигнала отключения требуются только логические операции **И** и **ИЛИ**, а в первом ещё и операция **НЕ**. Однако с учётом логики формирования дополнительных сигналов z_1 , z_4 и z_7 во втором случае всё равно необходим сигнал \bar{x}_2 для реализации алгоритма (П.7), значит для его формирования необходим дополнительный инвертор. Кроме того, алгоритм (П.7) требует использования ещё и логического элемента **4И**.

Формально для реализации алгоритма (П.7) в схеме, представленной на рис. П.3, необходим логический элемент **4И**. Одна-

ЗАКЛЮЧЕНИЕ

На рубеже 70-80-х гг. началось производство первых микропроцессоров и разработчиками аппаратуры РЗА сразу же были предприняты попытки их применения в электронных устройствах, которые стали называть *микропроцессорными*, или *цифровыми*, из-за существенных отличительных особенностей обработки аналоговых и дискретных сигналов.

В настоящее время микропроцессорные устройства РЗА получили широкое распространение в силу следующих основных преимуществ:

- возможность реализации новых алгоритмов, позволяющих получить характеристики, недостижимые на электромеханической и электронной элементной базе;
- непрерывная самодиагностика с указанием обнаруженного неисправного функционального элемента;
- наличие встроенной системы регистрации аварийных параметров и их сохранение в памяти при возникновении перерывов в оперативном питании;
- возможность объединения отдельных устройств в единую автоматизированную систему с передачей информации на диспетчерский пункт и управления устройствами из этого пункта;
- возможность наглядного просмотра и изменения параметров устройства РЗА с помощью персонального компьютера;
- возможность изменения алгоритма работы устройства РЗА без изменения аппаратной части путём замены БИС ПЗУ;
- незначительная потребляемая мощность от датчиков аналоговой и дискретной информации и по цепям питания;
- незначительные массогабаритные показатели.

Проектирование, тестирование и настройка электронных и микропроцессорных устройств РЗА требуют от участников этих производственных процедур основательных знаний в области схемотехники применяемых функциональных электронных и микропроцессорных элементов. К таковым относятся знания различия принципов обработки сигналов в измерительной части электронных и микропроцессорных устройств РЗА, а также обработка логических сигналов в логической части этих устройств.

В последнее время все более широкое применение при построении микропроцессорных устройств находят программируемые логические интегральные схемы (ПЛИС), которые позволяют упростить проектирование устройств ввода – вывода.

Наиболее сложные электронные и микропроцессорные устройства РЗА работают под управлением собственной операционной системы, которая позволяет выполнять необходимые операции в системах реального времени. Это особенно важно при разработке сложных устройств релейной защиты и автоматики энергосистем.

Автор надеется, что учебное пособие будет полезным в процессе самостоятельной работы слушателей при использовании дистанционного формата обучения.

СПИСОК РЕКОМЕНДУЕМОЙ ЛИТЕРАТУРЫ

1. *Ерофеев Ю.Н.* Импульсные устройства: учеб. пособие для вузов. 3-е изд., перераб. и доп./Ю.Н. Ерофеев. – М.: Высш. шк., 1989. – 527 с.
2. WWW.findernet.com.
3. *Транзисторы* для аппаратуры широкого применения: справ./колл. авт.; под ред. Б.Л. Перельмана. – М.: Радио и связь, 1981. – 656 с.
4. *Резисторы, конденсаторы, трансформаторы, коммутационные устройства РЭА*: справ./Н.Н. Акимов, Е.П. Ващук, В.А. Прохоренко, Ю.П. Ходорёнок. – Мн.: Беларусь, 1994. – 591 с.
5. *Агаханян Т.М.* Интегральные микросхемы: учеб. пособие для вузов/Т.М. Агаханян. – М.: Энергоатомиздат, 1983. – 464 с.
6. *Шило В.Л.* Популярные микросхемы КМОП: справ./В.Л. Шило. – М.: Изд-во "ЯГУАР", 1993. – 64 с.
7. *Справочник* по интегральным микросхемам/колл. авт.; под ред. Б.В. Тарабрина. – 2-е изд., перераб. и доп. – М.: Энергия, 1980. – 816 с.
8. *Петровский И.И.* Логические ИС КР1533, КР1554: справ./И.И. Петровский и др. – М.: ТОО "БИНОМ", 1993. – 500 с.
9. *Степаненко И.П.* Основы теории транзисторов и транзисторных схем/И.П. Степаненко. – 3-е изд., перераб. и доп. – М.: Энергия, 1973. – 608 с.
10. *Калабеков Б.А.* Микропроцессоры и их применение в системах передачи и обработки сигналов: учеб. пособие/Б.А. Калабеков. – М.: Радио и связь, 1988. – 368 с.

ОГЛАВЛЕНИЕ

| | |
|---|-----|
| ВВЕДЕНИЕ | 3 |
| 1. ТРАНЗИСТОРНЫЕ КЛЮЧИ | 6 |
| 1.1. ЭЛЕКТРОННЫЕ КЛЮЧИ НА БИПОЛЯРНЫХ ТРАНЗИСТОРАХ | 6 |
| 1.1.1. Ключ на основе схемы с общим эмиттером | 6 |
| 1.1.2. Транзисторный ключ с источником смещения | 12 |
| 1.2. ТРАНЗИСТОРНЫЕ КЛЮЧИ НА ПОЛЕВЫХ СТРУКТУРАХ | 17 |
| 1.2.1. Электронные ключи на МОП-транзисторах | 17 |
| 1.2.2. КМОП-ключ | 20 |
| 2. ЛОГИЧЕСКИЕ СТРУКТУРЫ | 24 |
| 2.1. КОМБИНАЦИОННЫЕ И ПОСЛЕДОВАТЕЛЬНОСТНЫЕ ЛОГИЧЕСКИЕ УСТРОЙСТВА | 24 |
| 2.2. ОСНОВНЫЕ ЗАКОНЫ И ПРАВИЛА АЛГЕБРЫ ЛОГИКИ | 25 |
| 2.3. ЛОГИЧЕСКИЕ ФУНКЦИИ | 33 |
| 2.4. СИНТЕЗ КОМБИНАЦИОННЫХ ЛОГИЧЕСКИХ СХЕМ | 35 |
| 2.4.1. Синтез комбинационной схемы по заданной функции | 35 |
| 2.4.2. Минимизация логических функций | 43 |
| 2.4.3. Использование факультативных условий при минимизации логических функций | 50 |
| 2.5. АСИНХРОННЫЕ ТРИГГЕРЫ НА УНИВЕРСАЛЬНЫХ ЛОГИЧЕСКИХ ЭЛЕМЕНТАХ | 52 |
| 2.6. СИНХРОННЫЕ ТРИГГЕРЫ | 60 |
| 3. ЦИФРОВЫЕ ИНТЕГРАЛЬНЫЕ МИКРОСХЕМЫ | 61 |
| 3.1. ОБЩИЕ СВЕДЕНИЯ ОБ ИНТЕГРАЛЬНЫХ МИКРОСХЕМАХ | 61 |
| 3.1.1. Классификация ИМС | 61 |
| 3.1.2. Параметры ИМС | 69 |
| 3.2. ИМС НА БИПОЛЯРНЫХ ТРАНЗИСТОРАХ | 71 |
| 3.2.1. Диодно-транзисторная логика | 71 |
| 3.2.2. Базовые логические элементы ТТЛ | 73 |
| 3.2.3. Микросхемы серии КР1533 | 81 |
| 3.3. ИМС НА КОМПЛЕМЕНТАРНЫХ МОП-ТРАНЗИСТОРАХ | 83 |
| 4. ФУНКЦИОНАЛЬНЫЕ ЭЛЕМЕНТЫ ЦИФРОВЫХ УСТРОЙСТВ ... | 86 |
| 4.1. УСТРОЙСТВА РЕГИСТРАЦИИ ДВОИЧНОГО КОДА | 86 |
| 4.2. СЧЁТЧИКИ ИМПУЛЬСОВ | 89 |
| 4.3. ДЕШИФРАТОРЫ | 94 |
| 4.4. МУЛЬТИПЛЕКСОРЫ | 95 |
| Приложение | 97 |
| ЗАКЛЮЧЕНИЕ | 104 |
| СПИСОК РЕКОМЕНДУЕМОЙ ЛИТЕРАТУРЫ | 106 |

НИКИТИН Анатолий Афанасьевич

**НЕЛИНЕЙНЫЕ ЭЛЕМЕНТЫ
ЭЛЕКТРОННЫХ И МИКРОПРОЦЕССОРНЫХ УСТРОЙСТВ
РЕЛЕЙНОЙ ЗАЩИТЫ И АВТОМАТИКИ**

Электронное учебно-методическое пособие (неофициальное)

Компьютерная верстка: А.А. Никитин

428020, Чебоксары, пр. И. Яковлева, д. 3